

日本国特許庁
JAPAN PATENT OFFICE

#5
Jc903 U.S. PTO
09/892225
06/25/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 6月27日

出願番号

Application Number:

特願2000-193523

出願人

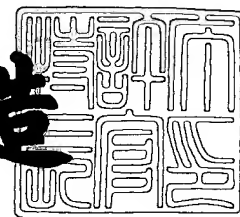
Applicant(s):

株式会社半導体エネルギー研究所

2001年 4月27日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3036273

【書類名】 特許願

【整理番号】 P005023

【提出日】 平成12年 6月27日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネル
ギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネル
ギー研究所内

【氏名】 三津木 亨

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネル
ギー研究所内

【氏名】 笠原 健司

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネル
ギー研究所内

【氏名】 浅見 勇臣

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネル
ギー研究所内

【氏名】 高野 圭恵

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネル
ギー研究所内

【氏名】 志知 武司

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 小久保 千穂

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

絶縁表面上に半導体層を有する半導体装置であって、

前記半導体層は、ゲルマニウムを含む第 1 の結晶質半導体層と、

前記第 1 の結晶質半導体層に接する第 2 の結晶質半導体層とを有することを特徴とする半導体装置。

【請求項 2】

請求項 2 において、前記第 1 の結晶質半導体層は、ゲルマニウムを含むことを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、前記第 2 の結晶質半導体層は、シリコンを主成分とすることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記第 1 の結晶質半導体層および前記第 2 の結晶質半導体層は、レーザー光により結晶化されたことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、前記半導体装置は携帯電話、ビデオカメラ、携帯型情報端末、テレビ受像器、電子書籍、パーソナルコンピュータ、DVD プレーヤー、デジタルスチルカメラから選ばれた一つであることを特徴とする半導体装置。

【請求項 6】

絶縁表面上にゲルマニウムを含む第 1 の非晶質半導体膜を形成する第 1 の工程と、

前記第 1 の非晶質半導体膜上に接する第 2 の非晶質半導体膜を形成する第 2 の工程と、

前記第 1 の非晶質半導体膜及び前記第 2 の非晶質半導体膜にレーザー光を照射

して結晶化させる第 3 の工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項 7】

絶縁表面上の電極を覆う絶縁膜を形成する第 1 の工程と、
前記絶縁膜上にゲルマニウムを含む第 1 の非晶質半導体膜を形成する第 2 の工程と、

前記第 1 の非晶質半導体膜上に接する第 2 の非晶質半導体膜を形成する第 3 の工程と、

前記第 1 の非晶質半導体膜及び前記第 2 の非晶質半導体膜にレーザー光を照射して結晶化させる第 4 の工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 6 または請求項 7 において、前記第 1 の非晶質半導体膜は、ゲルマニウムを含むことを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 6 乃至 8 のいずれか一において、前記第 2 の非晶質半導体膜は、シリコンを主成分とすることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、T F T という）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0 0 0 2】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0 0 0 3】

【従来の技術】

近年、厚さ数 nm から数百 nm 程度の結晶構造を有する半導体膜（以下、結晶質半導体膜という）を用いて、薄膜トランジスタ（以下、TFTという）を作製する技術が開発されている。TFTは液晶表示装置に用いるスイッチング素子として実用化が進み、近年においてはガラス基板上に半導体集積回路を形成することも可能になっている。

【0004】

TFTに用いる結晶質半導体膜の材料は、主としてシリコンが用いられている。結晶構造を有するシリコン膜（以下、結晶質シリコン膜という）は、プラズマCVD法や減圧CVD法により、ガラスまたは石英などの基板上に堆積した非晶質シリコン膜を、加熱処理、或いはレーザー光の照射（以下、本明細書中においてレーザー処理という）により結晶化したものが利用されてきた。

【0005】

例えば、加熱処理による場合には、非晶質シリコン膜を結晶化させるために 600°C 以上の温度で10時間以上の加熱処理が必要とされている。この処理温度と処理時間は、TFTの生産性を考慮すると必ずしも適切な方法とは考えられていない。TFTを用いた応用製品として液晶表示装置を考慮すると、基板の面積化に対応するために大型の熱処理炉が必要となり、生産工程における消費エネルギーが増大するばかりか、広い面積に渡って一様な結晶を得ることが困難となる。

【0006】

また、従来の技術により作製された結晶質シリコン膜を用いたTFTは、単結晶シリコン基板を用いたMOSトランジスタの特性と比べ、依然劣っていた。ガラスや石英などの異種材料上に厚さ数 nm から数百 nm 程度の半導体膜を結晶化させたとしても、複数の結晶粒が集合して成る多結晶構造しか得ることが出来ず、結晶粒中及び結晶粒界に多数存在する欠陥によりキャリアがトラップされ、TFTの性能を拘束する要因となっていた。

【0007】

【発明が解決しようとする課題】

上記従来の方法で作製される結晶質シリコン膜は、結晶化の際、基板や下地絶縁膜の影響を受けるため、複数の結晶粒が析出し、 $\{111\}$ に配向する傾向があるものの、その面方位に配向する割合は低かった。

【0008】

本発明はこのような問題点を解決する手段を提供することを目的とし、非晶質半導体膜を結晶化して得られる結晶質半導体膜の特性を高め、そのような結晶質半導体膜を活性層に用いたTFTを提供することを目的とする。

【0009】

【課題を解決するための手段】

本明細書で開示する発明の構成は、
絶縁表面上に半導体層を有する半導体装置であって、

前記半導体層は、ゲルマニウムを含む第1の結晶質半導体層15と、
前記第1の結晶質半導体層に接する第2の結晶質半導体層16とを有することを特徴とする半導体装置である。

【0010】

また、上記構成において、前記第1の結晶質半導体層15は、ゲルマニウムを含むことを特徴としている。また、上記構成において、前記第2の結晶質半導体層16は、シリコンを主成分とすることを特徴としている。また、結晶質半導体層15、16中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満である。

【0011】

また、上記構成において、前記第1の結晶質半導体層15および前記第2の結晶質半導体層16は、レーザー光により結晶化されたことを特徴としている。

【0012】

また、上記構造を実現するための発明の構成は、図1に示すように、
絶縁表面上にゲルマニウムを含む第1の非晶質半導体膜11を形成する第1の工程と、

前記第1の非晶質半導体膜11上に接する第2の非晶質半導体膜12を形成する第2の工程と、

前記第 1 の非晶質半導体膜及 1 1 び前記第 2 の非晶質半導体膜 1 2 にレーザー光を照射して結晶化させる第 3 の工程と、
を有することを特徴とする半導体装置の作製方法である。

【0 0 1 3】

また、他の発明の構成は、図 6 に示すように、
絶縁表面上の電極（ゲート電極 4 0 1、4 0 2）を覆う絶縁膜 4 0 3 a、4 0 3 b を形成する第 1 の工程と、

前記絶縁膜上にゲルマニウムを含む第 1 の非晶質半導体膜を形成する第 2 の工程と、

前記第 1 の非晶質半導体膜上に接する第 2 の非晶質半導体膜を形成する第 3 の工程と、

前記第 1 の非晶質半導体膜及び前記第 2 の非晶質半導体膜にレーザー光を照射して結晶化させる第 4 の工程と、
を有することを特徴とする半導体装置の作製方法である。

【0 0 1 4】

また、上記構成において、前記第 1 の非晶質半導体膜は、ゲルマニウムを含むことを特徴としている。また、上記構成において、前記第 2 の非晶質半導体膜は、シリコンを主成分とすることを特徴としている。また、非晶質半導体膜 1 1、1 2 中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満である。

【0 0 1 5】

【発明の実施の形態】

本願発明の実施形態について、以下に説明する。

【0 0 1 6】

まず、絶縁表面を有する基板 1 0 上に、シリコンを主成分としゲルマニウムを含む第 1 の非晶質半導体膜（ゲルマニウムを含むシリコン膜とも呼ぶ）1 1 と、シリコンを主成分とする第 2 の非晶質半導体膜（シリコン膜とも呼ぶ）1 2 を積層形成する。（図 1（A））

【0 0 1 7】

絶縁表面を有する基板 1 0 としては、アルミナホウケイ酸ガラスやバリウムホウケイ酸ガラスなどで代表されるガラス基板や石英基板やサファイア基板を用いることができる。あるいはシリコン、ゲルマニウム、ガリウム・砒素などの半導体基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【 0 0 1 8 】

第 1 の非晶質半導体膜 1 1 の材料に限定はないが、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)、好ましくは、シリコンを主成分としゲルマニウムを 0.1 原子%~10 原子%未満、さらに好ましくは 1~5 原子%の範囲で含有している非晶質半導体膜（ゲルマニウムを含む非晶質シリコン膜）を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【 0 0 1 9 】

第 1 の非晶質半導体膜 1 1 の成膜方法は、特に限定されず、プラズマ CVD 法や減圧 CVD 法で形成してもよいし、ゲルマニウムを含むシリコンからなるターゲットを用いたスパッタ法で形成してもよいし、プラズマ CVD 法や減圧 CVD 法やスパッタ法で得られたシリコン膜にゲルマニウムをイオン注入して形成してもよい。

【 0 0 2 0 】

プラズマ CVD 法を用いる場合には、 SiH_4 と GeH_4 とから成る反応ガス、或いは、 SiH_4 と H_2 で希釈した GeH_4 成る反応ガスを加えて反応室に導入し、1~200 MHz の高周波放電により分解し基板上に第 1 の非晶質半導体膜を堆積させる。反応ガスは、 SiH_4 の代わりに Si_2H_6 または SiF_4 を、 GeH_4 の代わりに GeF_4 を採用しても良い。減圧 CVD 法を用いる場合にも同様な反応ガスを適用することが可能であり、好ましくは He で反応ガスを希釈して、400~500℃ の温度で基板上に第 1 の非晶質半導体膜を堆積する。なお、第 1

の非晶質半導体膜 1 1 中におけるゲルマニウムの含有量は、反応ガスの混合比により適宜調節することができる。

【 0 0 2 1 】

図 1 7 は第 1 の非晶質半導体膜及び第 2 の非晶質半導体膜を形成するために用いるプラズマ C V D 装置の構成の一例を説明する図である。プラズマ C V D 装置は反応室 1 0 0 1 に高周波電源 1 0 0 5 が接続する陰極（カソード） 1 0 0 2、陽極（アノード） 1 0 0 3 が設けられた平行平板型である。陰極 1 0 0 2 はシャワー板となっていて、ガス供給手段 1 0 0 6 からの反応ガスは、このシャワー板を通して反応室中に供給される。陽極 1 0 0 3 にはシーズヒーターなどによる加熱手段が設けられ、基板 1 0 1 5 が設置されている。ガス供給系の詳細は割愛するが、 SiH_4 や GeH_4 などが充填されたシリンダー 1 0 1 4、ガスの流量を制御するマスフローコントローラー 1 0 1 2、ストップバルブ 1 0 1 3 などから構成されている。排気手段 1 0 0 7 は、ゲートバルブ 1 0 0 8、自動圧力制御弁 1 0 0 9、ターボ分子ポンプ（または複合分子ポンプ） 1 0 1 0、ドライポンプ 1 0 0 7 から成っている。ターボ分子ポンプ（または複合分子ポンプ） 1 0 1 0、ドライポンプ 1 0 0 7 は潤滑油を使用しないもので、油の拡散による反応室内の汚染を完全に無くしている。排気速度は、反応室の容積 1 3 L の反応室に対し、一段目に排気速度 3 0 0 L / 秒のターボ分子ポンプ、二段目に排気速度 $4 0 \text{ m}^3 / \text{hr}$ のドライポンプを設け、排気系側から有機物の蒸気が逆拡散してくるのを防ぐと共に、反応室の到達真空度を高め、非晶質半導体膜の形成時に不純物元素が膜中に取り込まれることを極力防いでいる。

【 0 0 2 2 】

このような装置で作製される非晶質半導体膜に含まれる窒素、炭素、酸素のそれぞれの含有量は二次イオン質量分析法（S I M S）によって測定した場合、いずれの成膜条件においても窒素、炭素の含有量は $5 \times 1 0^{18} / \text{cm}^3$ 未満、酸素の含有量は $1 \times 1 0^{19} / \text{cm}^3$ 未満である。

【 0 0 2 3 】

第 2 の非晶質半導体膜 1 2 は、シリコンを主成分とする非晶質半導体膜（非晶質シリコン膜）を用いる。また、第 1 の非晶質半導体膜と同様に、非晶質半導体

中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましい。

【0024】

第2の非晶質半導体膜12の成膜方法は、プラズマCVD法や減圧CVD法やスパッタ法、あるいはその他適宜の方法を用いればよい。

【0025】

また、第2の非晶質半導体膜の膜厚は、第1の非晶質半導体膜の半分以下の膜厚とすることが好ましく、第1の非晶質半導体膜と第2の非晶質半導体膜との積層膜の総膜厚を $20 \sim 100 \text{ nm}$ (好ましくは $30 \sim 60 \text{ nm}$) とすることが望ましい。

【0026】

また、汚染を防ぐために大気に触れることなく、第1の非晶質半導体膜11と第2の非晶質半導体膜12とを連続的に成膜することが好ましい。

【0027】

また、基板から半導体膜への不純物の汚染を防ぐため、第1の非晶質半導体膜を形成する前に基板上に下地絶縁膜を形成してもよい。下地絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜から選ばれた単層膜、またはそれらを2層以上積層させた積層膜を用いることができる。また、汚染を防ぐために大気に触れることなく、下地絶縁膜と第1の非晶質半導体膜11と第2の非晶質半導体膜12とを連続的に成膜することが好ましい。

【0028】

次いで、レーザー処理を行い、第1の非晶質半導体膜11及び第2の非晶質半導体膜12を結晶化させて、第1の結晶質半導体膜13及び第2の結晶質半導体膜14を形成する。(図1(B))

【0029】

レーザー処理は、波長 400 nm 以下のエキシマレーザーや、YAGレーザーまたは YVO_4 レーザーの第2高調波(波長 532 nm)～第4高調波(波長 266 nm)を光源として用いて行う。これらのレーザー光は光学系にて線状またはスポット状に集光し、そのエネルギー密度を $100 \sim 700 \text{ mJ/cm}^2$ とし

て照射し、上記のように集光したレーザービームを基板の所定の領域に渡って走査させ処理を行う。また、図 1 では表面側からのみ照射した例を示しているが、両面から照射してもよい。その他、レーザーの代わりに、ハロゲンランプ、キセノンランプ、水銀ランプ、メタルハライドランプなどを光源としても良い。また、レーザー処理の後、ハロゲンランプ、キセノンランプ、水銀ランプ、メタルハライドランプなどの光を照射してもよい。

【 0 0 3 0 】

なお、このレーザー処理を行う前に第 1 の非晶質半導体膜 1 1 及び第 2 の非晶質半導体膜が含有する水素を放出させておくことが好ましく、400～500℃で 1 時間程度の熱処理を行い含有する水素量を 5 atom% 以下にしてからレーザー照射させて結晶化させると膜表面の荒れを防ぐことができるので良い。

【 0 0 3 1 】

上記レーザー処理によって、結晶成長が生じて良好な膜質を有する結晶質半導体膜が得られる。

【 0 0 3 2 】

次いで、第 1 の結晶質半導体膜 1 3 と第 2 の結晶質半導体膜 1 4 との積層膜に公知のパターニング処理を行い、所望の形状の半導体層（第 1 の結晶質半導体層 1 5 と第 2 の結晶質半導体層 1 6 との積層構造を有する）を形成する。

【 0 0 3 3 】

以上の工程により積層構造を有する半導体層が得られる。

【 0 0 3 4 】

こうして得られた積層構造を有する半導体層を用いた T F T 等の素子は優れた電気特性を有する。

【 0 0 3 5 】

上記レーザー処理において、結晶成長が生じるメカニズムは、現段階で必ずしも明らかではないが、概略以下のように推測することができる。

【 0 0 3 6 】

レーザー処理する半導体膜（シリコン膜）が単層であった場合、レーザー光の照射後の固相化過程において、溶融した液相シリコンの熱は基板に拡散するため

、液相シリコンは基板との界面から冷却されて、固相化が進み結晶化する。従って、膜面に対して垂直方向に結晶成長が生じる。また、こうして結晶化した半導体膜は、基板上に形成された下地絶縁膜 (SiO_2) の影響を受け、エネルギー的に安定しやすい $[111]$ に配向する傾向が強かった。

【 0 0 3 7 】

これに対して、レーザー処理する半導体膜が本発明のような積層（ゲルマニウムを含むシリコン膜とシリコン膜との積層）であった場合、ゲルマニウムの融点は 937°C であり、シリコンの融点である 1415°C より低いことからわかるように、第1の非晶質半導体膜（ゲルマニウムを含むシリコン膜）と第2の非晶質半導体膜（シリコン膜）とでは、固相化が始まる温度が若干異なり、シリコン膜のほうが高い温度で固相化が始まる。従って、シリコン膜が一部固相化し始めても、しばらくゲルマニウムを含むシリコン膜は溶融した液相である状態が続く。こうして結晶化した半導体膜は、基板上に形成された下地絶縁膜 (SiO_2) の影響を受けない。また、レーザー光の照射後の固相化過程において、溶融した液相シリコンは、溶融した液相状態のゲルマニウムを含むシリコン膜との界面付近で過冷却になりやすいと考えられる。

【 0 0 3 8 】

また、図19で示したように、非晶質半導体膜のパターニング後にレーザー処理を行って端部から結晶核を発生させて横方向（ラテラル方向）に結晶成長させてもよい。

【 0 0 3 9 】

また、図20で示したように、パターニングした絶縁層を利用してレーザー光強度を空間的に変調させて適度な温度勾配を形成し、ラテラル方向に結晶成長させてもよい。

【 0 0 4 0 】

上記実施の形態における非晶質半導体膜としては、非晶質半導体膜、微結晶半導体膜、または非晶質構造を含む化合物半導体膜を用いることが可能である。

【 0 0 4 1 】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な

説明を行うこととする。

【 0 0 4 2 】

【実施例】

【実施例 1】

ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路の T F T (n チャネル型 T F T 及び p チャネル型 T F T) を同時に作製する方法について詳細に図 2 ～ 図 5 を用いて説明する。

【 0 0 4 3 】

まず、実施の形態に従って、基板 1 0 0 a 上に積層構造を有する島状の半導体層 1 0 1 a ～ 1 0 5 b を形成した。(図 2 (A)) 積層構造を有する島状の半導体層のうち、下層の 1 0 1 a ～ 1 0 5 a は、図 1 中の第 1 の結晶質半導体層 1 5 に相当するシリコン膜 (ゲルマニウムを含む) であり、上層の 1 0 1 b ～ 1 0 5 b は図 1 中の第 2 の結晶質半導体層 1 6 に相当するシリコン膜である。なお、基板 1 0 0 a 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜からなる下地絶縁膜 1 0 0 b を形成した。

【 0 0 4 4 】

本実施例では下地絶縁膜 1 0 0 b として 2 層構造を用いるが、単層膜または 2 層以上の積層膜を用いても良い。下地絶縁膜 1 0 0 b の一層目 (下層) としては、プラズマ C V D 法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜を 1 0 ～ 2 0 0 nm (好ましくは 5 0 ～ 1 0 0 nm) 形成する。本実施例では、膜厚 5 0 nm の酸化窒化シリコン膜 (組成比 $\text{Si} = 32\%$ 、 $\text{O} = 27\%$ 、 $\text{N} = 24\%$ 、 $\text{H} = 17\%$) を形成した。次いで、下地絶縁膜 1 0 0 b の二層目 (上層) としては、プラズマ C V D 法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜を 5 0 ～ 2 0 0 nm (好ましくは 1 0 0 ～ 1 5 0 nm) の厚さに積層形成する。本実施例では、膜厚 1 0 0 nm の酸化窒化シリコン膜 (組成比 $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$) を形成した。

【 0 0 4 5 】

次いで、プラズマ C V D 法またはスパッタ法により 5 0 ～ 1 0 0 nm の厚さの

酸化珪素膜によるマスク層 1 0 6 を形成した。この状態で上記半導体層に対し、T F T のしきい値電圧 (V_{th}) を制御する目的で p 型を付与する不純物元素、ここではボロンを $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度で上記半導体層の全面に添加した。(図 2 (A)) 本実施例ではマスク層形成後にボロンの添加を行ったが、特に工程順序は限定されず、例えば、パターニングによって半導体層を形成する前に行っても良い。

【 0 0 4 6 】

半導体に対して p 型を付与する不純物元素には、ボロン (B)、アルミニウム (Al)、ガリウム (Ga) など周期律表第 1 3 族の元素が知られている。その方法として、イオン注入法やイオンドープ法を用いることができるが、大面積基板を処理するにはイオンドープ法が適している。イオンドープ法ではジボラン (B_2H_6) をソースガスとして用いボロン (B) を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特に n チャネル型 T F T のしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。省略した場合、マスク層 1 0 6 の形成は必要でない。

【 0 0 4 7 】

次いで、マスク層 1 0 6 をフッ酸などの溶液でエッチング除去した。

【 0 0 4 8 】

次いで、膜厚を $10 \sim 200 \text{ nm}$ として珪素を含む絶縁膜でゲート絶縁膜 1 0 7 を形成した。(図 2 (C)) ゲート絶縁膜 1 0 7 としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜 (SiO_xNy)、有機樹脂膜 (BCB (ベンゾシクロブテン) 膜)、またはこれらの積層膜等を $100 \sim 400 \text{ nm}$ の膜厚範囲で用いることができる。また、ゲート絶縁膜 1 0 7 の形成手段としては熱 CVD 法、プラズマ CVD 法、減圧熱 CVD 法、蒸着法、スパッタ法、塗布法等の形成方法を用いることができる。また、熱酸化工程によってゲート絶縁膜を形成してもよい。

【 0 0 4 9 】

また、ゲート絶縁膜を形成する前に、半導体層の表面を洗浄することが望ましい。被膜表面の汚染不純物 (代表的には C、Na 等) 除去は、オゾン进行容存させ

た純水で洗浄を行った後に、フッ素を含有する酸性溶液を用い、被膜表面を極薄くエッチングすることにより行えばよい。

【 0 0 5 0 】

次いで、駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を半導体層102a、102b、104a、104bに選択的に添加する。そのため、あらかじめレジストマスク108a～108eを形成した。n型を付与する不純物元素としては、磷(P)や砒素(As)を用いれば良く、ここでは磷(P)を添加すべく、フォスフィン(PH₃)を用いたイオンドーピング法を適用した。形成された不純物領域は低濃度n型不純物領域109とし、含まれる磷(P)濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域109に含まれるn型を付与する不純物元素の濃度を(n^-)と表す。また、不純物領域110は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度で磷(P)を添加した。(図2(D))

【 0 0 5 1 】

次いで、添加した不純物元素を活性化させる工程を行う。活性化は、レーザー活性化処理や不活性雰囲気中、例えば窒素雰囲気中で600～900℃で1～4時間の熱処理により行うことができる。また、両者を併用しても良い。

【 0 0 5 2 】

次いで、図2(E)に示すように、ゲート絶縁膜107上にゲート電極を形成するための耐熱性導電層を形成する。耐熱性導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。このような耐熱性導電性材料を用い、例えば、導電性の窒化物金属膜から成る導電層(A)111と金属膜から成る導電層(B)112とを積層した構造とすると良い。導電層(B)112はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)111は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(M

oN)などで形成する。また、導電層(A)111はタングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。

【0053】

導電層(A)111は10~50nm(好ましくは20~30nm)とし、導電層(B)112は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、Wターゲット(純度99.9999%)を用いたスパッタ法で、アルゴン(Ar)ガスと窒素(N₂)ガスを導入して導電層(A)111を窒化タングステン(WN)で50nmの厚さに形成し、導電層(B)112をタングステン(W)で250nmの厚さに形成した。その他の方法として、熱CVD法でW膜を形成することもできる。

【0054】

尚、図示しないが、導電層(A)111の下に2~20nm程度の厚さで燐(P)をドーブした珪素膜を形成しておくことは有効である。ドーブした珪素膜上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)111または導電層(B)112が微量に含有するアルカリ金属元素がゲート絶縁膜107に拡散するのを防ぐことができる。いずれにしても、(A)111及び導電層(B)112の抵抗率を10~50 $\mu\Omega$ cmの範囲とすることが好ましい。

【0055】

次いで、フォトマスクを用いレジストマスク113~118を形成し、導電層(A)111と導電層(B)112とをエッチングしてゲート電極119~123と容量配線124を形成した。ゲート電極119~123と容量配線124は、導電層(A)から成る124aと、導電層(B)から成る124bとが一体として形成されている。(図3(A))

【0056】

次いで、画素TFTのnチャネル型TFTにLDD領域を形成するために、n型を付与する不純物元素添加の工程(n⁻ドーブ工程)を行う。ゲート電極119~123をマスクとして自己整合的にn型を付与する不純物元素をイオンドーブ法で添加した。n型を付与する不純物元素として添加する燐(P)の濃度は $1 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³の濃度範囲で添加した。このようにして、図3(

B) に示すように半導体層に低濃度 n 型不純物領域 1 2 5 ~ 1 2 8 を形成した。

【0 0 5 7】

次いで、n チャネル型 T F T において、ソース領域またはドレイン領域として機能する高濃度 n 型不純物領域の形成を行った (n^+ ドープ工程)。まず、フォトマスクを用い、レジストのマスク 1 2 9 ~ 1 3 2 を形成し、n 型を付与する不純物元素を添加して高濃度 n 型不純物領域 1 3 3 ~ 1 3 8 を形成した。n 型を付与する不純物元素には磷 (P) を用い、その濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲となるようにフォスフィン (PH_3) を用いたイオンドープ法で行った。(図 3 (C))

【0 0 5 8】

次いで、p チャネル型 T F T を形成する半導体層 1 0 1 a、1 0 1 b、1 0 3 a、1 0 3 b にソース領域およびドレイン領域とする高濃度 p 型不純物領域 1 4 2、1 4 3 を形成する。本実施例では、ゲート電極 1 1 9、1 2 1 をマスクとして p 型を付与する不純物元素を添加し、自己整合的に高濃度 p 型不純物領域を形成した。このとき、n チャネル型 T F T を形成する半導体層 1 0 2 a、1 0 2 b、1 0 4、1 0 5 は、第 4 のフォトマスクを用いてレジストマスク 1 3 9 ~ 1 4 1 を形成し全面を被覆しておく。高濃度 p 型不純物領域 1 4 2、1 4 3 はジボラン (B_2H_6) を用いたイオンドープ法で形成した。この領域のボロン (B) 濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。(図 3 (D))

【0 0 5 9】

この高濃度 p 型不純物領域 1 4 2、1 4 3 には、前工程において磷 (P) が添加されていて、高濃度 p 型不純物領域 1 4 2 a、1 4 3 a には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で含有し、高濃度 p 型不純物領域 1 4 2 b、1 4 3 b には $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度で含有しているが、この工程で添加するボロン (B) の濃度を 1.5 から 3 倍となるようにすることにより、p チャネル型 T F T のソース領域およびドレイン領域として機能する上で何ら問題はなかった。

【0 0 6 0】

その後、図 4 (A) に示すように、ゲート電極およびゲート絶縁膜上から保護

絶縁膜 1 4 4 を形成した。保護絶縁膜は酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても保護絶縁膜 1 4 4 は無機絶縁物材料から形成する。保護絶縁膜 1 4 4 の膜厚は 1 0 0 ~ 2 0 0 nm とする。

【 0 0 6 1 】

その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (R T A 法) を適用することができる。本実施例では 5 5 0 ° C で 4 時間の熱処理を行った。(図 4 (B))。

【 0 0 6 2 】

活性化の工程の後、さらに、 3 ~ 1 0 0 % の水素を含む雰囲気中で、 3 0 0 ~ 4 5 0 ° C 、 1 ~ 1 2 時間の熱処理を行い、半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層中にある $1 0^{16} \sim 1 0^{18} / \text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【 0 0 6 3 】

活性化および水素化の工程が終了したら、有機絶縁物材料からなる層間絶縁膜 1 4 5 を 1 . 0 ~ 2 . 0 μm の平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。

【 0 0 6 4 】

このようにして層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、保護絶縁膜 1 4 4 として形成した酸化珪素膜、酸化窒化珪素膜、窒化珪素膜などと組み合わせて用いる必要がある。

【 0 0 6 5 】

その後、フォトリソマスクを用い、所定のパターンのレジストマスクを形成し、そ

れぞれの半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。本実施例では、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用いたドライエッチング法により有機樹脂材料から成る層間絶縁膜をエッチングし、その後、エッチングガスを CF_4 、 O_2 として保護絶縁膜 1 4 4 をエッチングした。

【 0 0 6 6 】

次いで、導電性の金属膜をスパッタ法や真空蒸着法で形成し、フォトマスクによりレジストマスクパターンを形成し、エッチングによってソース配線 1 4 6 ~ 1 5 0 とドレイン配線 1 5 1 ~ 1 5 5 を形成する。ここで、ドレイン配線 1 5 5 は画素電極として機能するものである。図示していないが、本実施例ではこの電極を、 Ti 膜を 5 0 ~ 1 5 0 nm の厚さで形成し、半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、その Ti 膜上に重ねてアルミニウム (Al) を 3 0 0 ~ 4 0 0 nm の厚さで形成して配線とした。

【 0 0 6 7 】

この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 °C で 1 ~ 1 2 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。(図 4 (C))。

【 0 0 6 8 】

こうして、同一の基板上に、駆動回路の TFT と画素部の画素 TFT とを有した基板を完成させることができた。駆動回路には第 1 の p チャネル型 TFT 2 0 0、第 1 の n チャネル型 TFT 2 0 1、第 2 の p チャネル型 TFT 2 0 2、第 2 の n チャネル型 TFT 2 0 3、画素部には画素 TFT 2 0 4、保持容量 2 0 5 が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【 0 0 6 9 】

駆動回路の第 1 の p チャネル型 TFT 2 0 0 には、ゲルマニウムを含むシリコン膜 1 0 1 a とシリコン膜 1 0 1 b との積層構造を有する半導体層にチャネル形成領域 2 0 6、高濃度 p 型不純物領域から成るソース領域 2 0 7 a、2 0 7 b、

ドレイン領域 2 0 8 a, 2 0 8 b を有したシングルドレインの構造を有している。第 1 の n チャネル型 T F T 2 0 1 には、ゲルマニウムを含むシリコン膜 1 0 2 a とシリコン膜 1 0 2 b との積層構造を有する半導体層にチャネル形成領域 2 0 9、ゲート電極 1 2 0 と重なる L D D 領域 2 1 0、ソース領域 2 1 2、ドレイン領域 2 1 1 を有している。

【 0 0 7 0 】

この L D D 領域において、ゲート電極 1 2 0 と重なる L D D 領域を L_{ov} としてそのチャネル長方向の長さは $0.5 \sim 3.0 \mu m$ 、好ましくは $1.0 \sim 2.0 \mu m$ とした。n チャネル型 T F T における L D D 領域の長さをこのようにすることにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、T F T の劣化を防止することができる。

【 0 0 7 1 】

駆動回路の第 2 の p チャネル型 T F T 2 0 2 は同様に、ゲルマニウムを含むシリコン膜 1 0 3 a とシリコン膜 1 0 3 b との積層構造を有する半導体層にチャネル形成領域 2 1 3、高濃度 p 型不純物領域から成るソース領域 2 1 4 a、2 1 4 b、ドレイン領域 2 1 5 a、2 1 5 b を有したシングルドレインの構造を有している。

【 0 0 7 2 】

また、駆動回路の第 2 の n チャネル型 T F T 2 0 3 には、ゲルマニウムを含むシリコン膜 1 0 4 a とシリコン膜 1 0 4 b との積層構造を有する半導体層にチャネル形成領域 2 1 6、ゲート電極 1 2 2 と一部が重なる L D D 領域 2 1 7、2 1 8、ソース領域 2 2 0、ドレイン領域 2 1 9 が形成されている。この T F T のゲート電極と重なる L_{ov} の長さも $0.5 \sim 3.0 \mu m$ 、好ましくは $1.0 \sim 2.0 \mu m$ とした。また、ゲート電極と重ならない L D D 領域を L_{off} として、このチャネル長方向の長さは $0.5 \sim 4.0 \mu m$ 、好ましくは $1.0 \sim 2.0 \mu m$ とした。

【 0 0 7 3 】

画素 T F T 2 0 4 には、ゲルマニウムを含むシリコン膜 1 0 5 a とシリコン膜 1 0 5 b との積層構造を有する半導体層にチャネル形成領域 2 2 1、2 2 2、L

DD領域223～225、ソースまたはドレイン領域226～228を有している。LDD領域(Loff)のチャネル長方向の長さは0.5～4.0 μ m、好ましくは1.5～2.5 μ mである。

【0074】

さらに、容量配線124と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT204のドレイン領域228に接続する半導体層229とから保持容量205が形成されている。なお、図4(C)では画素TFT204をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0075】

以上の様なTFT構成は、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。

【0076】

また、このアクティブマトリクス基板はそのまま反射型の液晶表示装置に適用することができる。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。

【0077】

次いで、上記アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0078】

まず、図5に示すように、図4(C)の状態のアクティブマトリクス基板にスペーサを形成する。スペーサは数 μ mの粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後、樹脂膜をパターニングして柱状スペーサ157を形成する方法を採用した。

【0079】

柱状スペーサ157の配置は任意に決定すれば良いが、好ましくは、図5で示すように、画素部においてはドレイン配線155(画素電極)のコンタクト部と重ねてその部分を覆うように柱状スペーサ157を形成すると良い。コンタクト

部は平坦性が損なわれ、この部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部にスペーサ用の樹脂を充填する形で柱状スペーサ 1 5 7 を形成することでディスクリネーションなどを防止することができる。

【 0 0 8 0 】

その後、配向膜 1 5 8 を形成した。通常、液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路の T F T 上にもスペーサ 1 5 7 を形成しておく、スペーサとしての本来の役割と、静電気から T F T を保護する効果を得ることができる。

【 0 0 8 1 】

対向側の対向基板 1 5 8 には、遮光膜 1 5 9、透明導電膜 1 6 0 および配向膜 1 6 1 を形成する。遮光膜 1 5 9 は T i、C r、A l など を 1 5 0 ~ 3 0 0 n m の厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤 1 6 2 で貼り合わせる。シール剤 1 6 2 にはフィラー 1 6 3 が混入されていて、このフィラー 1 6 3 とスペーサ 1 5 7 によって均一な間隔を保ちつつ、2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 1 6 4 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにして図 5 に示すアクティブマトリクス型液晶表示装置が完成する。

【 0 0 8 2 】

〔実施例 2〕

本実施例では実施例 1 とは異なるアクティブマトリクス基板及びアクティブマトリクス型液晶表示装置の作製方法について説明する。ここでは、同一基板上に N チャネル型逆スタガ型 T F T 及び P チャネル型の逆スタガ型 T F T を作製する例について図 6、図 7 を用い、以下に説明する。

【 0 0 8 3 】

まず、基板 4 0 0 を用意する。基板 4 0 0 としては、ガラス基板、石英基板、結晶性ガラスなどの絶縁性基板等を用いることができる。なお、基板からの不純

物の拡散を防止してTFTの電気特性を向上させるための下地絶縁膜を設ける構成としてもよい。下地絶縁膜を設ける場合、その下地絶縁膜の材料としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜 (SiO_xNy)、またはこれらの積層膜等を100~500nmの膜厚範囲で用いることができ、形成手段としては熱CVD法、プラズマCVD法、蒸着法、スパッタ法、減圧熱CVD法等の形成方法を用いることができる。或いは、シリコン、ゲルマニウム、ガリウム・砒素などの半導体基板の表面に絶縁膜を形成し、これを基板としても良い。また、プラスチック基板も用いることができる。

【0084】

次いで、単層構造または積層構造を有するゲート配線（ゲート電極含む）401、402を形成する。ゲート配線401、402の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、スパッタ法等を用いて10~1000nm、好ましくは30~300nmの膜厚範囲の導電膜を形成した後、公知のパターニング技術で形成する。また、ゲート配線401、402の材料としては、導電性材料または半導体材料を主成分とする材料、例えばTa（タンタル）、Mo（モリブデン）、Ti（チタン）、W（タングステン）、クロム（Cr）等の高融点金属材料、これら金属材料とシリコンとの化合物であるシリサイド、N型又はP型の導電性を有するポリシリコン等の材料、低抵抗金属材料Cu（銅）、Al（アルミニウム）等を主成分とする材料層を少なくとも一層有する構造であれば特に限定されることなく用いることができる。なお、ゲート配線の下層を低抵抗金属材料とし上層を高融点金属材料とした積層構造が好ましく、例えばAl（下層）とTa（上層）の積層構造、Al（下層）とW（上層）の積層構造、Al（下層）とCu（上層）の積層構造が望ましい。また、ゲート配線を保護するための陽極酸化膜または酸化膜を形成する構成としてもよい。

【0085】

次いで、ゲート絶縁膜を形成する。ゲート絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜 (SiO_xNy)、有機樹脂膜（BCB（ベンゾシクロブテン）膜）、またはこれらの積層膜等を100~400nmの膜厚範囲で用いることができる。ゲート絶縁膜の形成手段としては熱CVD法、プ

ラズマCVD法、減圧熱CVD法、蒸着法、スパッタ法、塗布法等の形成方法を用いることができる。ここでは図6(A)に示すように、積層構造のゲート絶縁膜403a、403bを用いた。下層のゲート絶縁膜403aは、基板やゲート配線からの不純物の拡散を効果的に防止する窒化シリコン膜等を膜厚10nm～60nmの膜厚範囲で形成する。

【0086】

次いで、ゲルマニウムを含むシリコン膜とシリコン膜との積層膜を形成する。

下層となるゲルマニウムを含むシリコン膜としては、シリコンを主成分としゲルマニウムを0.1原子%～10原子%未満、好ましくは1～5原子%の範囲で含有している膜を用いる。また、ゲルマニウムを含むシリコン膜中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましい。

【0087】

ゲルマニウムを含むシリコン膜の成膜方法は、特に限定されず、プラズマCVD法や減圧CVD法で形成してもよいし、ゲルマニウムを含むシリコンからなるターゲットを用いたスパッタ法で形成してもよいし、プラズマCVD法や減圧CVD法やスパッタ法で得られたシリコン膜にゲルマニウムをイオン注入して形成してもよい。

【0088】

また、上層となるシリコン膜も同様に窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましい。また、シリコン膜の成膜方法は、特に限定されず、プラズマCVD法や減圧CVD法やスパッタ法等の公知の技術を用いることができる。

【0089】

なお、上記ゲート絶縁膜403a、403bと非晶質半導体膜（ゲルマニウムを含むシリコン膜とシリコン膜）とを大気にさらすことなく連続成膜すれば、不純物がゲート絶縁膜と非晶質半導体膜との界面に混入しないため良好な界面特性を得ることができる。

【0090】

次いで、非晶質半導体膜の結晶化処理を行い、結晶質半導体膜を形成した後、得られた結晶質半導体膜を所望の形状にパターンニングして、ゲルマニウムを含むシリコン膜404a、405aとシリコン膜404b、405bとの積層構造を有する結晶質半導体層を形成する。(図6(A)) 結晶化処理としては、実施の形態に示したレーザー処理を用いればよい。

【0091】

次いで、結晶質半導体層上に絶縁層406、407を形成する。この絶縁層406、407は不純物元素の添加工程時にチャネル形成領域を保護する。この絶縁層406、407としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜(SiO_xNy)、有機樹脂膜(BCB膜)、またはこれらの積層膜等を100~400nmの膜厚範囲で用いることができる。絶縁層406、407は、公知のパターンニング技術、例えば通常の露光や裏面露光等を用いて形成する。(図6(B))

【0092】

次いで、フォトリソマスクを用いてNチャネル型TFTとなる半導体層の一部を覆うレジストマスク408及びPチャネル型TFTとなる半導体層を覆うレジストマスク409を形成し、半導体層にn型を付与する不純物元素を添加するドーピング工程を行ない、第1の不純物領域(n+領域)410aを形成する。(図6(C))

【0093】

次いで、レジストマスク408、409を除去した後、絶縁層406、407をマスクとして半導体層にn型を付与する不純物元素を添加する2回目のドーピング工程を行ない、第2の不純物領域(n-領域)412を形成する。(図6(D)) この工程において、さらに不純物が添加されて第1の不純物領域410bが形成される。

【0094】

次いで、フォトリソマスクを用いてNチャネル型TFTを覆うレジストマスク414を形成し、半導体層にp型を付与する不純物元素を添加する工程を行ない、第3の不純物領域(p+領域)413を形成する。(図7(A))

【0095】

次いで、レジストマスク414を除去した後、ファーストアニール、レーザーアニールまたはランプアニールにより不純物イオンの活性化およびイオン添加時の損傷の回復を図る。この工程の際、同時に、結晶化の際に触媒として使用したニッケルがリンを含む不純物領域(410b、412、413)にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

【0096】

以上の工程を経て、Nチャネル型TFTのソース領域、ドレイン領域、低濃度不純物領域、及びチャネル形成領域が形成され、Pチャネル型TFTのソース領域、ドレイン領域、及びチャネル形成領域が形成される。

【0097】

次いで、実施例1に従って全面に層間絶縁膜415を形成する。(図7(B))

【0098】

そして、公知の技術を用いてコンタクトホールを形成した後、配線416~419を形成して、図7(C)に示す状態を得る。この配線416~419はソース配線またはドレイン配線として機能する。最後に水素雰囲気中で熱処理を行い、全体を水素化してNチャネル型TFT及びPチャネル型TFTが完成する。

【0099】

なお、本実施例でのドーピング順序(n+領域→n-領域→p+領域)に限定されず、例えば、p+領域→n-領域→n+領域の順とすることも可能である。

【0100】

また、上記本実施例においてチャネル形成領域へ微量な不純物元素の添加を行ない、TFTのしきい値制御を行う工程(チャネルドーピング工程とも呼ぶ)を加えてもよい。

【0101】

本実施例で示すNチャネル型TFT及びPチャネル型TFTを用いて相補的に結合させた回路はCMOS回路と呼ばれ、半導体回路を構成する基本回路である。

【0102】

また、本実施例で示すNチャネル型TFTを用いて画素部の画素TFTを形成することができる。図8(A)は、画素部の画素の一つを拡大した上面図であり、図8(A)において、点線A-A'で切断した部分が、図8(B)の画素部の断面構造に相当する。

【0103】

画素部において、画素TFT部はNチャネル型TFTで形成されている。基板上51にゲート電極52が形成され、その上に窒化珪素からなる第1絶縁膜53a、酸化珪素からなる第2絶縁膜53bが設けられている。また、第2絶縁膜上には、活性層としてn+領域54～56と、チャネル形成領域57、58と、前記n+型領域とチャネル形成領域の間にn-型領域59、60が形成される。また、活性層は、下層をゲルマニウムを含むシリコン膜とし、上層をシリコン膜とする積層構造を有する半導体層である。また、チャネル形成領域57、58は絶縁層61、62で保護される。絶縁層61、62及び活性層を覆う第1の層間絶縁膜63にコンタクトホールを形成した後、n+領域54に接続する配線64が形成され、n+領域56に配線65が接続され、さらにその上にパッシベーション膜66が形成される。そして、その上に第2の層間絶縁膜67が形成される。さらに、その上に第3の層間絶縁膜68が形成され、ITO、SnO₂等の透明導電膜からなる画素電極69が配線65と接続される。また、70は画素電極69と隣接する画素電極である。

【0104】

本実施例では一例として透過型の液晶表示装置の例を示したが特に限定されない。例えば、画素電極の材料として反射性を有する金属材料を用い、画素電極のパターニングの変更、または幾つかの工程の追加／削除を適宜行えば反射型の液晶表示装置を作製することが可能である。

【0105】

〔実施例 3〕

本実施例では、実施例 1 または実施例 2 で作製したアクティブマトリクス型液晶表示装置の構成を図 9 に説明する。

【0106】

図 9 に示す上面図は、画素部、駆動回路、FPC（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り付ける外部入力端子、外部入力端子と各回路の入力部までを接続する配線 81 などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板 82 とがシール材 83 を介して貼り合わされている。

【0107】

ゲート側駆動回路 84 と重なるように対向基板側に遮光層 86a が設けられ、ソース側駆動回路 85 と重なるように対向基板側に遮光層 86b が形成されている。また、画素部 87 上の対向基板側に設けられたカラーフィルタ 88 は遮光層と、赤色（R）、緑色（G）、青色（B）の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色（R）の着色層、緑色（G）の着色層、青色（B）の着色層の 3 色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【0108】

ここでは、カラー化を図るためにカラーフィルタ 88 を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

【0109】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層 86a、86b を設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

【0110】

また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

【 0 1 1 1 】

また、外部入力端子にはベースフィルムと配線から成る F P C 8 9 が異方性導電性樹脂で貼り合わされている。さらに補強板で機械的強度を高めている。

【 0 1 1 2 】

以上のようにして作製される液晶表示装置は各種電子機器の表示部として用いることができる。

【 0 1 1 3 】

また、上記液晶表示装置におけるブロック図を図 1 0 に示す。なお、図 1 0 はアナログ駆動を行うための回路構成である。本実施例では、ソース側駆動回路 9 0、画素部 9 1 及びゲート側駆動回路 9 2 を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【 0 1 1 4 】

ソース側駆動回路 9 0 は、シフトレジスタ 9 0 a、バッファ 9 0 b、サンプリング回路（トランスファゲート） 9 0 c を設けている。また、ゲート側駆動回路 9 2 は、シフトレジスタ 9 2 a、レベルシフタ 9 2 b、バッファ 9 2 c を設けている。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフタ回路を設けてもよい。

【 0 1 1 5 】

また、本実施例において、画素部 9 1 は複数の画素を含み、その複数の画素に各々 T F T 素子が設けられている。

【 0 1 1 6 】

これらソース側駆動回路 9 0 およびゲート側駆動回路 9 2 は N チャネル型 T F T または P チャネル型 T F T で形成されている。

【 0 1 1 7 】

なお、図示していないが、画素部 9 1 を挟んでゲート側駆動回路 9 2 の反対側

にさらにゲート側駆動回路を設けても良い。

【0118】

また、デジタル駆動させる場合は、図11に示すように、サンプリング回路の代わりにラッチ(A)93b、ラッチ(B)93cを設ければよい。ソース側駆動回路93は、シフトレジスタ93a、ラッチ(A)93b、ラッチ(B)93c、D/Aコンバータ93d、バッファ93eを設けている。また、ゲート側駆動回路95は、シフトレジスタ95a、レベルシフタ95b、バッファ95cを設けている。また、必要であればラッチ(B)93cとD/Aコンバータ93dとの間にレベルシフタ回路を設けてもよい。

【0119】

なお、上記構成は、実施例1または実施例2に示した製造工程に従って実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、さらに複雑なロジック回路(信号分割回路、D/Aコンバータ、オペアンプ、 γ 補正回路など)をも構成することができ、さらには同一基板上にメモリやマイクロプロセッサをも形成しうる。

【0120】

[実施例4]

本実施例は実施例2において、ゲート電極が設けられた基板上にスパッタ法を用いて、連続的にゲート絶縁膜と半導体膜とを成膜する例を示す。

【0121】

まず、基板上にゲート配線401、402を形成した後、下層のゲート絶縁膜403a、上層のゲート絶縁膜403b、第1の非晶質半導体膜、第2の非晶質半導体膜を順次、連続的に積層する。このように連続的に成膜する場合において使用する複数のチャンバーを備えた装置の一例を図18に示した。

【0122】

本実施例では、全てスパッタ法を用い、比較的低温での成膜を行うことが可能であるのでプラスチック基板を用いた。ただし、本実施例に限定されず、プラスチック基板以外の基板を用いることが可能なことは言うまでもない。

【0123】

図 1 8 に本実施例で示す装置（連続成膜システム）の上面からみた概要を示す。図 1 8 において、1 1 1 0 ～ 1 1 1 5 が気密性を有するチャンバーである。各チャンバーには、真空排気ポンプ、不活性ガス導入系が配置されている。

【0 1 2 4】

1 1 1 0、1 1 1 5 で示されるチャンバーは、試料（処理基板）1 1 3 0 をシステムに搬入するためのロードロック室である。1 1 1 1 は第 1 のゲート絶縁膜を成膜するための第 1 のチャンバーである。1 1 1 2 は第 2 のゲート絶縁膜を成膜するための第 2 のチャンバーである。1 1 1 3 は第 1 の非晶質半導体膜及び第 2 の非晶質半導体膜を成膜するための第 3 のチャンバーである。また、1 1 2 0 は各チャンバーに対して共通に配置された試料の共通室である。さらに非晶質半導体膜上に連続して絶縁膜を形成して絶縁層 4 0 6、4 0 7 を形成する場合、1 1 1 4 は、その絶縁膜を成膜するための第 4 のチャンバーである。

【0 1 2 5】

以下に動作の一例を示す。

【0 1 2 6】

最初、全てのチャンバーは、一度高真空状態に真空引きされた後、さらに不活性ガス、ここでは窒素によりパージされている状態（常圧）とする。また、全てのゲート弁 1 1 2 2 ～ 1 1 2 7 を閉鎖した状態とする。

【0 1 2 7】

まず、処理基板は多数枚が収納されたカセット 1 1 2 8 ごとロードロック室 1 1 1 0 に搬入される。カセットの搬入後、図示しないロードロック室の扉を閉鎖する。この状態において、ゲート弁 1 1 2 2 を開けてカセットから処理基板 1 1 3 0 を 1 枚取り出し、ロボットアーム 1 1 2 1 によって共通室 1 1 2 0 に取り出す。この際、共通室において位置合わせが行われる。なお、この基板 1 1 3 0 は実施例 2 に従って得られた配線 4 0 1、4 0 2 が形成されたものを用いた。

【0 1 2 8】

ここでゲート弁 1 1 2 2 を閉鎖し、次いでゲート弁 1 1 2 3 を開ける。そして第 1 のチャンバー 1 1 1 1 へ処理基板 1 1 3 0 を移送する。第 1 のチャンバー内では、絶縁膜 4 0 3 a を得る。本実施例では単層の窒化シリコン膜を採用してい

るが、二層または三層以上の積層構造としてもよい。なお、ここではターゲットを用いたスパッタ法が可能なチャンバーを用いたが、プラズマCVD法が可能なチャンバーを用いても良い。

【 0 1 2 9 】

絶縁膜 4 0 3 a の成膜終了後、処理基板はロボットアームによって共通室に引き出され、第 2 のチャンバー 1 1 1 2 に移送される。第 2 のチャンバー内では、第 1 のチャンバーと同様にスパッタ法で絶縁膜 4 0 3 b を得る。

【 0 1 3 0 】

絶縁膜 4 0 3 b の成膜終了後、処理基板は共通室に引き出され、第 3 のチャンバー 1 1 1 3 に移送される。第 3 のチャンバー内では第 2 のチャンバーと同様に、第 1 の非晶質半導体膜及び第 2 の非晶質半導体膜を得る。第 3 のチャンバー内には複数のターゲットを備え、第 1 の非晶質半導体膜の成膜時にはゲルマニウムを含むシリコンからなるターゲットを用い、第 2 の非晶質半導体膜の成膜時にはシリコンからなるターゲットを用いた。ここでは同一チャンバーで積層させたが、異なるチャンバーで積層させてもよい。なお、ここではターゲットを用いたスパッタ法が可能なチャンバーを用いたが、プラズマCVD法が可能なチャンバーを用いても良い。

【 0 1 3 1 】

非晶質半導体膜の成膜終了後、処理基板は共通室に引き出される。

【 0 1 3 2 】

このようにして四層が連続的に成膜された被処理基板はロボットアームによってロードロック室 1 1 1 5 に移送されカセット 1 1 2 9 に収納される。

【 0 1 3 3 】

このように、大気にさらすことなく連続成膜すれば、不純物がゲート絶縁膜と非晶質半導体膜との界面に混入しないため良好な界面特性を得ることができる。

【 0 1 3 4 】

さらに、非晶質半導体膜上に連続して絶縁膜を形成して絶縁層 4 0 6、4 0 7 を形成する場合、第 4 のチャンバーに移送して同様に成膜した後、パターニングすればよい。

【0135】

なお、図18に示した装置は一例に過ぎないことはいうまでもない。また、本実施例は実施例1乃至3のいずれか一と自由に組み合わせることができる。

【0136】

例えば、本実施例を実施例1における下地絶縁膜100a、非晶質半導体膜とを連続的に成膜する場合に適用することができる。その場合、下層の下地絶縁膜を第1のチャンバーで成膜し、上層の下地絶縁膜を第2のチャンバーで成膜し、第1の非晶質半導体膜及び第2の非晶質半導体膜を第3のチャンバーで成膜すればよい。また、第1の非晶質半導体膜及び第2の非晶質半導体膜を別々のチャンバーで成膜してもよい。即ち、第1の非晶質半導体膜を第3のチャンバー、第2の非晶質半導体膜を第4のチャンバーで成膜してもよい。

【0137】

[実施例5]

ここでは、上記実施例1で得られるTFTを用いてEL（エレクトロルミネセンス）表示装置を作製した例について図12～図15を用い、以下に説明する。

【0138】

同一の絶縁体上に画素部とそれを駆動する駆動回路を有した発光装置の例（但し封止前の状態）を図12に示す。なお、駆動回路には基本単位となるCMOS回路を示し、画素部には一つの画素を示す。このCMOS回路は実施例1に従えば得ることができる。

【0139】

図12において、500は絶縁体であり、その上にはNチャネル型TFT501、Pチャネル型TFT502、Pチャネル型TFTからなるスイッチングTFT503およびNチャネル型TFTからなる電流制御TFT504が形成されている。

【0140】

Nチャネル型TFT501およびPチャネル型TFT502の説明は実施例1を参照すれば良いので省略する。また、スイッチングTFT503はソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造（ダブルゲート

構造)となっているが、実施例1でのPチャネル型TFTの構造の説明を参照すれば容易に理解できるので説明は省略する。なお、本実施例はダブルゲート構造に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0141】

また、電流制御TFT504のドレイン領域505の上には層間絶縁膜507a、507bが設けられる前に、保護絶縁膜506及びゲート絶縁膜にコンタクトホールが設けられている。これは第1層間絶縁膜507a及び第2の層間絶縁膜507bにコンタクトホールを形成する際に、エッチング工程を簡単にするためである。層間絶縁膜507a、507bにはドレイン領域505に到達するようにコンタクトホールが形成され、ドレイン領域505に接続された画素電極508が設けられている。画素電極508はEL素子の陰極として機能する電極であり、周期表の1族もしくは2族に属する元素を含む導電膜を用いて形成されている。本実施例では、リチウムとアルミニウムとの化合物からなる導電膜を用いる。

【0142】

次に、513は画素電極508の端部を覆うように設けられた絶縁膜であり、本明細書中ではバンクと呼ぶ。バンク513は珪素を含む絶縁膜もしくは樹脂膜で形成すれば良い。樹脂膜を用いる場合、樹脂膜の比抵抗が $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{m}$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{m}$ ）となるようにカーボン粒子もしくは金属粒子を添加すると、成膜時の絶縁破壊を抑えることができる。

【0143】

また、EL素子509は画素電極（陰極）508、EL層511および陽極512からなる。陽極512は、仕事関数の大きい導電膜、代表的には酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を用いれば良い。

【0144】

なお、本明細書中では発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体をEL層と定

義する。

【0145】

なお、ここでは図示しないが陽極512を形成した後、EL素子509を完全に覆うようにしてパッシベーション膜を設けることは有効である。パッシベーション膜としては、炭素膜、窒化シリコン膜もしくは窒化酸化シリコン膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0146】

次いで、EL素子を保護するための封止（または封入）工程まで行った後のEL表示装置について図13（A）、（B）を用いて説明する。

【0147】

図13（A）は、EL素子の封止までを行った状態を示す上面図、図13（B）は図13（A）をA-A'で切断した断面図である。点線で示された601は画素部、602はソース側駆動回路、603はゲート側駆動回路である。また、604はカバー材、605は第1シール材、606は第2シール材である。

【0148】

なお、608はソース側駆動回路602及びゲート側駆動回路603に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）608からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。

【0149】

次に、断面構造について図13（B）を用いて説明する。絶縁体600の上方には画素部、ソース側駆動回路609が形成されており、画素部は電流制御TFT710とそのドレインに電氣的に接続された画素電極611を含む複数の画素により形成される。また、ソース側駆動回路609はNチャネル型TFTとPチャネル型TFTとを組み合わせたCMOS回路を用いて形成される。なお、絶縁体600には偏光板（代表的には円偏光板）を貼り付けても良い。

【0150】

また、画素電極611の両端にはバンク612が形成され、画素電極611上

にはEL層613およびEL素子の陽極614が形成される。陽極614は全画素に共通の配線としても機能し、接続配線615を経由してFPC616に電氣的に接続されている。さらに、画素部及びソース側駆動回路609に含まれる素子は全てパッシベーション膜（図示しない）で覆われている。

【0151】

また、第1シール材605によりカバー材604が貼り合わされている。なお、カバー材604とEL素子との間隔を確保するためにスペーサを設けても良い。そして、第1シール材605の内側には空隙617が形成されている。なお、第1シール材605は水分や酸素を透過しない材料であることが望ましい。さらに、空隙617の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を設けることは有効である。

【0152】

なお、カバー材604の表面および裏面には保護膜として炭素膜（具体的にはダイヤモンドライクカーボン膜）を2～30nmの厚さに設けると良い。このような炭素膜（ここでは図示しない）は、酸素および水の侵入を防ぐとともにカバー材604の表面を機械的に保護する役割をもつ。

【0153】

また、カバー材604を接着した後、第1シール材605の露呈面を覆うように第2シール材606を設けている。第2シール材606は第1シール材605と同じ材料を用いることができる。

【0154】

以上のような構造でEL素子を封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL表示装置が得られる。

【0155】

次に、上記工程で得られるEL表示装置において、画素部のさらに詳細な上面構造を図14（A）に、回路図を図14（B）に示す。図14（A）及び図14（B）では共通の符号を用いるので互いに参照すれば良い。

【0156】

スイッチングTFT702のソースはソース配線715に接続され、ドレインはドレイン配線705に接続される。また、ドレイン配線705は電流制御TFT706のゲート電極707に電氣的に接続される。また、電流制御TFT706のソースは電流供給線716に電氣的に接続され、ドレインはドレイン配線717に電氣的に接続される。また、ドレイン配線717は点線で示される画素電極（陰極）718に電氣的に接続される。

【0157】

このとき、719で示される領域には保持容量が形成される。保持容量719は、電流供給線716と電氣的に接続された半導体膜720、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極707との間で形成される。また、ゲート電極707、第1層間絶縁膜と同一の層（図示せず）及び電流供給線716で形成される容量も保持容量として用いることが可能である。

【0158】

次に、上記EL表示装置の回路構成例を図15に示す。なお、本実施例ではデジタル駆動を行うための回路構成を示す。本実施例では、ソース側駆動回路801、画素部806及びゲート側駆動回路807を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【0159】

ソース側駆動回路801は、シフトレジスタ802、ラッチ（A）803、ラッチ（B）804、バッファ805を設けている。なお、アナログ駆動の場合はラッチ（A）、（B）の代わりにサンプリング回路（トランスファゲート）を設ければ良い。また、ゲート側駆動回路807は、シフトレジスタ808、バッファ809を設けている。

【0160】

また、本実施例において、画素部806は複数の画素を含み、その複数の画素にEL素子が設けられている。このとき、EL素子の陰極は電流制御TFTのドレインに電氣的に接続されていることが好ましい。

【0161】

これらソース側駆動回路801およびゲート側駆動回路807は実施例1で得られるNチャネル型TFTまたはPチャネル型TFTで形成されている。なお、本実施例ではNチャネル型TFTまたはPチャネル型TFTでソース側駆動回路801およびゲート側駆動回路807を構成した例を示したが、特に限定されない。例えば、同一基板上的TFTを全てNチャネル型TFTを用いて作製することができる。この場合、マスク数が低減されるため有用である。また、同一基板上的TFTを全てPチャネル型TFTを用いて作製することもできる。

【0162】

なお、図示していないが、画素部806を挟んでゲート側駆動回路807の反対側にさらにゲート側駆動回路を設けても良い。この場合、双方は同じ構造でゲート配線を共有しており、片方が壊れても残った方からゲート信号を送って画素部を正常に動作させるような構成とする。

【0163】

次に、本実施例のTFTに代えて、実施例2に示した逆スタガ型TFTを用いてEL表示装置を作製した例を図16に示す。TFTの構造が異なる点以外は図12と同一である。

【0164】

図16において、900は絶縁体であり、その上にはNチャネル型TFT901、Pチャネル型TFT902、Pチャネル型TFTからなるスイッチングTFT903およびNチャネル型TFTからなる電流制御TFT904が形成されている。

【0165】

Nチャネル型TFT901およびPチャネル型TFT902の説明は実施例2を参照すれば良いので省略する。また、スイッチングTFT903はソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造（ダブルゲート構造）となっているが、実施例2でのPチャネル型TFTの構造の説明を参照すれば容易に理解できるので説明は省略する。なお、本実施例はダブルゲート構造に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造

もしくは三つ形成されるトリプルゲート構造であっても良い。

【0166】

また、電流制御TFT904のドレイン領域905の上には層間絶縁膜507a、507bが設けられる前に、第1層間絶縁膜906にコンタクトホールが設けられている。これは第2層間絶縁膜907にコンタクトホールを形成する際に、エッチング工程を簡単にするためである。第1層間絶縁膜906、第2層間絶縁膜にはドレイン領域905に到達するようにコンタクトホールが形成され、ドレイン領域905に接続された画素電極908が設けられている。画素電極908はEL素子の陰極として機能する電極であり、周期表の1族もしくは2族に属する元素を含む導電膜を用いて形成されている。本実施例では、リチウムとアルミニウムとの化合物からなる導電膜を用いる。

【0167】

次に、画素電極908の端部を覆うように設けられたバンク913は珪素を含む絶縁膜もしくは樹脂膜で形成すれば良い。樹脂膜を用いる場合、樹脂膜の比抵抗が $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{m}$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{m}$ ）となるようにカーボン粒子もしくは金属粒子を添加すると、成膜時の絶縁破壊を抑えることができる。

【0168】

また、EL素子909は画素電極（陰極）908、EL層911および陽極912からなる。陽極912は、仕事関数の大きい導電膜、代表的には酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を用いれば良い。

【0169】

また、本実施例は実施例4と組み合わせることができる。

【0170】

[実施例6]

本実施例は、実施の形態に示した工程とは異なる工程で結晶化を行った例を示す。

【0171】

本実施例では、半導体層のパターニング後にレーザー処理を行う例である。

【0172】

まず、実施例1と同様に基板1200上に、ゲルマニウムを含むシリコン膜（第1の非晶質半導体膜）1201とシリコン膜（第2の非晶質半導体膜）1202からなる積層構造を有する非晶質半導体膜を形成する。（図19（A））なお、図19（A）は図1（A）と同一であるのでここでは詳細な説明は省略する。

【0173】

次いで、公知のフォトリソグラフィ法によりパターニングを行い、ゲルマニウムを含むシリコン層1203とシリコン層1204からなる積層構造を有する非晶質半導体層を形成する。（図19（B））

【0174】

次いで、レーザー処理を行い結晶化させてゲルマニウムを含むシリコン層（第1の結晶質半導体層）1205とシリコン層（第2の結晶質半導体層）1206からなる積層構造を有する結晶質半導体層を形成する。なお、レーザー処理は実施の形態で示した方法を用いればよい。

【0175】

この時、パターニングされた結晶質半導体層の端部から結晶核が発生して横方向（ラテラル方向）に結晶成長する。

【0176】

こうして得られた積層構造を有する結晶質半導体層を用いたTFT等の素子は優れた電気特性を有する。

【0177】

なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることができる。

【0178】

〔実施例7〕

本実施例は、実施の形態に示した工程とは異なる工程で結晶化を行った例を示す。

【0179】

本実施例では、パターニングした絶縁層を利用してレーザー光強度を空間的に変調させて適度な温度勾配を形成し、横方向（ラテラル方向）に結晶成長させる例である。

【 0 1 8 0 】

まず、基板 1 3 0 0 上に絶縁膜を形成し、その絶縁膜をパターニングして絶縁層 1 3 0 1 を形成する。（図 2 0 （A））なお、本実施例では 1 つの絶縁層を用いた例を示すが特に限定されず、複数の絶縁層を用いて適宜配置してもよい。

【 0 1 8 1 】

この絶縁層 1 3 0 1 としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜（ SiO_xNy ）、有機樹脂膜（BCB（ベンゾシクロブテン）膜、アクリル膜、ポリイミド膜）、またはこれらの積層膜等を用いることができる。

【 0 1 8 2 】

次いで、絶縁層 1 3 0 1 を覆って、ゲルマニウムを含むシリコン膜（第 1 の非晶質半導体膜）1 3 0 2 とシリコン膜（第 2 の非晶質半導体膜）1 3 0 3 からなる積層構造を有する非晶質半導体膜を形成する。また、絶縁層 1 3 0 1 を覆う絶縁膜を形成した後、非晶質半導体膜を形成してもよい。

【 0 1 8 3 】

次いで、レーザー処理を行い結晶化させてゲルマニウムを含むシリコン層（第 1 の結晶質半導体膜）1 3 0 4 とシリコン層（第 2 の結晶質半導体膜）1 3 0 5 からなる積層構造を有する結晶質半導体膜を形成する。なお、レーザー処理は実施の形態で示した方法を用いればよい。

【 0 1 8 4 】

この時、パターニングされた絶縁層によりレーザー光強度を空間的に変調させて、レーザー光が照射されている半導体膜中に適度な温度勾配を形成し、ラテラル方向に結晶成長する。

【 0 1 8 5 】

こうして得られた積層構造を有する結晶質半導体膜をパターニングして形成された半導体層を用いた T F T 等の素子は優れた電気特性を有する。

【 0 1 8 6 】

また、本実施例では絶縁層を用いたが、絶縁層に代えて金属層を用い、その上に絶縁膜を形成してから非晶質半導体膜を形成し、レーザー処理を行って結晶化させてもよい。

【0187】

なお、本実施例は実施例1乃至6のいずれか一と自由に組み合わせることができる。

【0188】

〔実施例8〕

本実施例は、実施の形態に示した積層構造とは異なる積層構造で結晶化を行った例を示す。本実施例では3層構造とする。

【0189】

まず、基板1400上に第1の非晶質半導体膜1401、第2の非晶質半導体膜1402、第3の非晶質半導体膜1403を順次、積層形成する。(図21(A))

【0190】

第1の非晶質半導体膜1401は、プラズマCVD法や減圧CVD法やスパッタ法を用いて形成されるシリコンを主成分とする非晶質半導体膜(非晶質シリコン膜)を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18}/\text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19}/\text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【0191】

第2の非晶質半導体膜1402は、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)、好ましくは、シリコンを主成分としゲルマニウムを0.1原子%~10原子%未満、好ましくは1~5原子%の範囲で含有している非晶質半導体膜(ゲルマニウムを含む非晶質シリコン膜)を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18}/\text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19}/\text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【0192】

第2の非晶質半導体膜1402の成膜方法は、特に限定されず、プラズマCVD法や減圧CVD法で形成してもよいし、ゲルマニウムを含むシリコンからなるターゲットを用いたスパッタ法で形成してもよいし、プラズマCVD法や減圧CVD法やスパッタ法で得られたシリコン膜にゲルマニウムをイオン注入して形成してもよい。

【0193】

第3の非晶質半導体膜1403は、シリコンを主成分とする非晶質半導体膜（非晶質シリコン膜）を用いる。また、第1の非晶質半導体膜と同様に、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましい。

【0194】

第3の非晶質半導体膜1403の成膜方法は、プラズマCVD法や減圧CVD法やスパッタ法、あるいはその他適宜の方法を用いればよい。

【0195】

また、汚染を防ぐために大気に触れることなく、第1の非晶質半導体膜1401と第2の非晶質半導体膜1402と第3の非晶質半導体膜1403とを連続的に成膜することが好ましい。

【0196】

次いで、レーザー光の照射を行い結晶化させて第1の結晶質半導体膜1404と第2の結晶質半導体膜1405と第3の結晶質半導体膜1406とを形成する。（図21（B））なお、レーザー処理は実施の形態で示した方法を用いればよい。

【0197】

次いで、公知のフォトリソグラフィ法によりパターニングを行い、シリコン層1407と、ゲルマニウムを含むシリコン層1408と、シリコン層1409とからなる積層構造を有する結晶質半導体層を形成する。（図21（C））

【0198】

こうして得られた積層構造を有する結晶質半導体層を用いたTFT等の素子は

優れた電気特性を有する。

【0199】

なお、本実施例は実施例1乃至7のいずれか一と自由に組み合わせることができる。

【0200】

〔実施例9〕

本実施例は、実施の形態に示した積層構造とは異なる積層構造で結晶化を行った例を示す。本実施例では上層にゲルマニウムを含むシリコン膜を用いる。

【0201】

まず、基板1500上に第1の非晶質半導体膜1501と、第2の非晶質半導体膜1502とを積層形成する。(図22(A))

【0202】

第1の非晶質半導体膜1501は、プラズマCVD法や減圧CVD法やスパッタ法を用いて形成されるシリコンを主成分とする非晶質半導体膜(非晶質シリコン膜)を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【0203】

第2の非晶質半導体膜1502は、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)、好ましくは、シリコンを主成分としゲルマニウムを0.1原子%~10原子%未満、好ましくは1~5原子%の範囲で含有している非晶質半導体膜(ゲルマニウムを含む非晶質シリコン膜)を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【0204】

第2の非晶質半導体膜1502の成膜方法は、特に限定されず、プラズマCVD法や減圧CVD法で形成してもよいし、ゲルマニウムを含むシリコンからなる

ターゲットを用いたスパッタ法で形成してもよいし、プラズマCVD法や減圧CVD法やスパッタ法で得られたシリコン膜にゲルマニウムをイオン注入して形成してもよい。

【0205】

また、汚染を防ぐために大気に触れることなく、第1の非晶質半導体膜1501と第2の非晶質半導体膜1502とを連続的に成膜することが好ましい。

【0206】

次いで、レーザー光の照射を行い結晶化させて第1の結晶質半導体膜1503と第2の結晶質半導体膜1504とを形成する。(図22(B))なお、レーザー処理は実施の形態で示した方法を用いればよい。

【0207】

次いで、公知のフォトリソグラフィ法によりパターニングを行い、シリコン層1505と、ゲルマニウムを含むシリコン層1506とからなる積層構造を有する結晶質半導体層を形成する。(図22(C))

【0208】

こうして得られた積層構造を有する結晶質半導体層を用いたTFT等の素子は優れた電気特性を有する。

【0209】

なお、本実施例は実施例1乃至7のいずれか一と自由に組み合わせることができる。

【0210】

[実施例10]

本実施例は、実施の形態に示した積層構造とは異なる積層構造で結晶化を行った例を示す。本実施例では3層構造とする。

【0211】

まず、基板1600上に第1の非晶質半導体膜1601、第2の非晶質半導体膜1402、第3の非晶質半導体膜1603を順次、積層形成する。(図23(A))

【0212】

第1の非晶質半導体膜1601は、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)、好ましくは、シリコンを主成分としゲルマニウムを0.1原子%～10原子%未満、好ましくは1～5原子%の範囲で含有している非晶質半導体膜（ゲルマニウムを含む非晶質シリコン膜）を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【0213】

第1の非晶質半導体膜1601の成膜方法は、特に限定されず、プラズマCVD法や減圧CVD法で形成してもよいし、ゲルマニウムを含むシリコンからなるターゲットを用いたスパッタ法で形成してもよいし、プラズマCVD法や減圧CVD法やスパッタ法で得られたシリコン膜にゲルマニウムをイオン注入して形成してもよい。

【0214】

第2の非晶質半導体膜1602は、プラズマCVD法や減圧CVD法やスパッタ法を用いて形成されるシリコンを主成分とする非晶質半導体膜（非晶質シリコン膜）を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【0215】

第3の非晶質半導体膜1603は、第1の非晶質半導体膜と同様の非晶質半導体膜（ゲルマニウムを含む非晶質シリコン膜）を用いる。また、第1の非晶質半導体膜と同様に、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましい。

【0216】

第3の非晶質半導体膜1403の成膜方法は、第1の非晶質半導体膜と同じ形成方法を用いればよい。

【0217】

また、汚染を防ぐために大気に触れることなく、第1の非晶質半導体膜1601と第2の非晶質半導体膜1602と第3の非晶質半導体膜1603とを連続的に成膜することが好ましい。

【0218】

次いで、レーザー光の照射を行い結晶化させて第1の結晶質半導体膜1604と第2の結晶質半導体膜1605と第3の結晶質半導体膜1606とを形成する。(図23(B))なお、レーザー処理は実施の形態で示した方法を用いればよい。

【0219】

次いで、公知のフォトリソグラフィ法によりパターニングを行い、ゲルマニウムを含むシリコン層1607と、シリコン層1608と、ゲルマニウムを含むシリコン層1609とからなる積層構造を有する結晶質半導体層を形成する。(図23(C))

【0220】

こうして得られた積層構造を有する結晶質半導体層を用いたTFT等の素子は優れた電気特性を有する。

【0221】

なお、本実施例は実施例1乃至7のいずれか一と自由に組み合わせることができる。

【0222】

[実施例11]

本実施例は、図24を用いて、実施例1とは異なる方法でアクティブマトリクス基板を形成した例を示す。

【0223】

まず、実施の形態及び実施例1に従って、基板300上に下地絶縁膜308a、308bを形成し、さらにその上に各TFT301～304の活性層及び保持容量305の半導体層を形成する。

【0224】

次いで、ゲート絶縁膜、第1の導電膜(TaN)、及び第2の導電膜(W)を

積層形成する。ここでは、第1の導電膜としてTa₂N₅、第2の導電膜としてWを用いる例を示すが、特に限定されないことはいうまでもない。

【0225】

次いで、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICPエッチング法を用い、エッチング用ガスにCF₄とCl₂とを用い、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。

【0226】

上記第1のエッチング処理により、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15°～45°となる。こうして第1の導電膜及び第2の導電膜をエッチングして、第1の形状の導電層（第1の導電層と第2の導電層）を形成する。この第1のエッチングの際、第1の形状の導電層で覆われない領域のゲート絶縁膜は20～50nm程度エッチングされる。

【0227】

次いで、上記レジストからなるマスクを除去せずに第2のエッチング処理を行う。エッチング用ガスにCF₄とCl₂とO₂とを用い、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。

【0228】

上記第2のエッチング処理によりW膜を異方性エッチングし、かつ、第1の導電層であるTa₂N₅膜がW膜より遅いエッチング速度でわずかにエッチングされ、第2の形状の導電層（第1の導電層と第2の導電層）を形成する。なお、この第2のエッチングの際においても、第2の形状の導電層で覆われない領域のゲート絶縁膜は、さらにエッチングされて薄くなる。

【0229】

次いで、第1のドーピング処理を行う。ここでは、高い加速電圧の条件にしてn型を付与する不純物元素（リンまたは砒素）をドーピングし、自己整合的に不

純物領域 (A) を形成する。ドーピングは、第 2 の導電層を不純物元素に対するマスクとして用い、第 1 の導電層のテーパ部下方における半導体層にも不純物元素が添加されるようにドーピングする。

【 0 2 3 0 】

次いで、レジストからなるマスクを除去した後、第 2 の形状の導電層をマスクとして用い、ゲート絶縁膜を選択的に除去して絶縁層を形成する。

【 0 2 3 1 】

次いで、フォトリソグラフィ法を用いてレジストからなるマスクを形成した後、第 2 のドーピング処理を行う。この場合、第 1 のドーピング処理よりもドーズ量を上げ、低い加速電圧の条件として n 型を付与する不純物元素を半導体層にドーピングして不純物領域 (B) を形成する。こうして、n チャネル型 T F T のソース領域またはドレイン領域となる不純物領域 (B) 3 0 9、3 1 0、3 1 1 を形成することができた。また、画素部において、第 2 の形状の導電層 (ゲート電極) 3 1 3 と重なる不純物領域 (A) 3 1 2 a と不純物領域 (B) 3 1 1 との間には、第 2 の形状の導電層 (ゲート電極) と重ならない領域 3 1 2 b が形成される。この領域 3 1 2 b は L D D 領域として機能する。

【 0 2 3 2 】

そして、レジストからなるマスクを除去した後、n チャネル型 T F T を覆って新たにレジストからなるマスクを形成して、第 3 のドーピング処理を行う。この第 3 のドーピング処理により、p チャネル型 T F T の活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域 (C) 3 1 9 ~ 3 2 3 を自己整合的に形成する。本実施例では、不純物領域 (C) はジボラン (B_2H_6) を用いたイオンドープ法で形成する。なお、不純物領域 (C) 3 1 9 ~ 3 2 3 にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においても p 型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、p チャネル型 T F T のソース領域およびドレイン領域として機能するために何ら問題は生じない。

【 0 2 3 3 】

次いで、レジストからなるマスクを除去し、全面を覆う第 1 の層間絶縁膜 3 2

4 を形成する。

【 0 2 3 4 】

次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。

【 0 2 3 5 】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。半導体層と重なる第 2 の形状の導電層 3 1 3 ～ 3 1 6 がゲート電極として機能する。また、3 1 7 はソース配線、3 1 8 は保持容量を形成する電極として機能する。

【 0 2 3 6 】

さらに、3 % の水素を含む窒素雰囲気中で、3 0 0 ～ 5 5 0 ℃ で 1 ～ 1 2 時間の熱処理を行い、半導体層を水素化する工程を行う。

【 0 2 3 7 】

次いで、第 1 の層間絶縁膜 3 2 4 上に有機樹脂材料から成る第 2 の層間絶縁膜 3 2 5 を形成する。次いで、ソース配線 3 1 7 に達するコンタクトホールと不純物領域 (B) 3 0 9 ～ 3 1 1 、及び各不純物領域 (C) 3 1 9 、 3 2 2 に達するコンタクトホールを形成するためのパターニングを行う。

【 0 2 3 8 】

そして、駆動回路において、不純物領域 (B) 3 0 9 ～ 3 1 1 または不純物領域 (C) 3 1 9 、 3 2 2 とそれぞれ電氣的に接続する配線 3 2 6 ～ 3 3 1 を形成する。

【 0 2 3 9 】

また、画素部においては、画素電極 3 3 2 、ゲート配線 3 3 3 、接続電極 3 3 4 を形成する。この接続電極 3 3 4 によりソース配線 3 1 7 は、画素 T F T と電氣的な接続が形成される。また、ゲート配線 3 3 3 は、ゲート電極 (第 2 の形状の導電層 3 1 3) と電氣的な接続が形成される。また、画素電極 3 3 2 は、画素 T F T のドレイン領域と電氣的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層と電氣的な接続が形成される。

【 0 2 4 0 】

以上の様にして、n チャネル型 T F T 3 0 1 、 p チャネル型 T F T 3 0 2 、 n

チャンネル型 T F T 3 0 3 を有する駆動回路 3 0 6 と、画素 T F T 3 0 4、保持容量 3 0 5 とを有する画素部 3 0 7 を同一基板上に形成することができる。

【 0 2 4 1 】

駆動回路の n チャンネル型 T F T 3 0 1 の半導体層はチャンネル形成領域 3 3 7、ゲート電極を形成する第 2 の形状の導電層 3 1 4 と重なる不純物領域 (A) 3 3 5 (G O L D 領域) とソース領域またはドレイン領域として機能する不純物領域 (B) 3 0 9 を有している。また、p チャンネル型 T F T 3 0 2 の半導体層はチャンネル形成領域 3 3 8、ゲート電極を形成する第 2 の形状の導電層 3 1 5 と重なる不純物領域 (C) 3 2 1、ソース領域またはドレイン領域として機能する不純物領域 (C) 3 1 9、3 2 0 を有している。また、n チャンネル型 T F T の半導体層はチャンネル形成領域 3 3 9、ゲート電極を形成する第 2 の形状の導電層 3 1 6 と重なる不純物領域 (A) 3 3 6 (G O L D 領域)、ソース領域またはドレイン領域として機能する不純物領域 (B) 3 1 0 を有している。

【 0 2 4 2 】

画素部の画素 T F T の半導体層はチャンネル形成領域 3 4 0、ゲート電極を形成する第 2 の形状の導電層 3 1 3 と重なる不純物領域 (A) 3 1 2 a (G O L D 領域)、ゲート電極の外側に形成される不純物領域 3 1 2 b (L D D 領域) とソース領域またはドレイン領域として機能する不純物領域 (B) 3 1 1 を有している。また、保持容量の一方の電極として機能する半導体層 3 2 2、3 2 3 には不純物領域 (C) と同じ濃度で、それぞれ p 型を付与する不純物元素が添加されている。保持容量は、絶縁層 3 4 1 (ゲート絶縁膜と同一膜) を誘電体として、電極 3 1 8 と、半導体層 3 2 2、3 2 3 とで形成している。

【 0 2 4 3 】

以降の工程は実施例 1 に従えばよいのでここでは省略する。

【 0 2 4 4 】

〔実施例 1 2〕

本実施例は、実施の形態に示したレーザー処理とは異なる方法で結晶化を行った例を示す。

【 0 2 4 5 】

本実施例では、薄い金属板をレーザーの光路上に設け、レーザー光強度を空間的に変調させて、レーザー光が照射されている半導体膜中に適度な温度勾配を形成し、ラテラル方向に結晶成長させる。

【0246】

図25は、本実施例のレーザー処理を模式的に示した図である。

【0247】

図25中、1700は基板、1701は第1の非晶質半導体膜（ゲルマニウム含む非晶質シリコン膜）、1702は第2の非晶質半導体膜（非晶質シリコン膜）である。

【0248】

レーザー光は第1の非晶質半導体膜及び第2の非晶質半導体膜に照射されるが、レーザー光の光路の一部に配置された薄い金属板1704によって回折を生じさせてエネルギー強度に変化を与える。即ち、レーザー光強度を空間的に変調させて、レーザー光が照射されている半導体膜中に適度な温度勾配を形成する。このことによって、ラテラル方向に結晶成長して良好な結晶質半導体膜を形成することができる。

【0249】

本実施例ではレーザー光強度を空間的に変調させる手段として、薄い金属板を用いたが、特に限定されず、レンズや光学フィルター等を用いてレーザー光強度を空間的に変調させてもよい。

【0250】

なお、本実施例は実施例1乃至11のいずれか一と自由に組み合わせることができる。

【0251】

〔実施例13〕

本願発明を実施して形成された駆動回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる

【 0 2 5 2 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 2 6、図 2 7 及び図 2 8 に示す。

【 0 2 5 3 】

図 2 6 (A) はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を画像入力部 2 0 0 2、表示部 2 0 0 3 やその他の駆動回路に適用することができる。

【 0 2 5 4 】

図 2 6 (B) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明を表示部 2 1 0 2 やその他の駆動回路に適用することができる。

【 0 2 5 5 】

図 2 6 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 やその他の駆動回路に適用できる。

【 0 2 5 6 】

図 2 6 (D) はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 等を含む。本発明は表示部 2 3 0 2 やその他の駆動回路に適用することができる。

【 0 2 5 7 】

図 2 6 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本

発明は表示部 2 4 0 2 やその他の駆動回路に適用することができる。

【 0 2 5 8 】

図 2 6 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部（図示しない）等を含む。本願発明を表示部 2 5 0 2 やその他の駆動回路に適用することができる。

【 0 2 5 9 】

図 2 7 (A) はフロント型プロジェクターであり、投射装置 2 6 0 1、スクリーン 2 6 0 2 等を含む。本発明は投射装置 2 6 0 1 の一部を構成する液晶表示装置 2 8 0 8 やその他の駆動回路に適用することができる。

【 0 2 6 0 】

図 2 7 (B) はリア型プロジェクターであり、本体 2 7 0 1、投射装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 等を含む。本発明は投射装置 2 7 0 2 の一部を構成する液晶表示装置 2 8 0 8 やその他の駆動回路に適用することができる。

【 0 2 6 1 】

なお、図 2 7 (C) は、図 2 7 (A) 及び図 2 7 (B) 中における投射装置 2 6 0 1、2 7 0 2 の構造の一例を示した図である。投射装置 2 6 0 1、2 7 0 2 は、光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、プリズム 2 8 0 7、液晶表示装置 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 2 7 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等の光学系を設けてもよい。

【 0 2 6 2 】

また、図 2 7 (D) は、図 2 7 (C) 中における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 は、リフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。なお、図 2 7 (D) に示した光源光学系

は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0263】

ただし、図27に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びEL表示装置での適用例は図示していない。

【0264】

図28(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を音声出力部2902、音声入力部2903、表示部2904やその他の駆動回路に適用することができる。

【0265】

図28(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の駆動回路に適用することができる。

【0266】

図28(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0267】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~12のどのような組み合わせからなる構成を用いても実現することができる。

【0268】

【発明の効果】

本発明により、シリコンを主成分とし、ゲルマニウム含有量が0.1原子%以

上10原子%以下である第1の非晶質半導体膜とシリコンを主成分とする第2の非晶質半導体膜とを積層してレーザー処理により結晶化すると、良好な結晶質半導体膜を得ることが可能となり、そのような結晶質半導体膜を用いて薄膜トランジスタのチャネル形成領域を形成することができる。

【0269】

このような結晶質半導体膜を用いたTFTは、アクティブマトリクス型の液晶表示装置やEL表示装置を作製するためのTFTとして用いることができる。また、本発明のTFTは、従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。

【図面の簡単な説明】

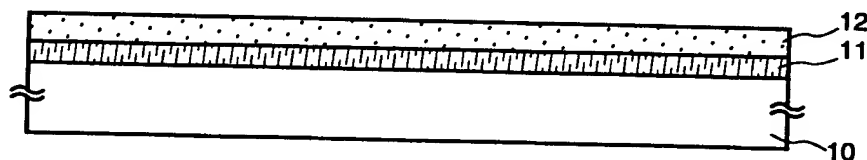
- 【図1】 本発明の結晶化方法を示す図。
- 【図2】 AM-LCDの作製工程を示す図。
- 【図3】 AM-LCDの作製工程を示す図。
- 【図4】 AM-LCDの作製工程を示す図。
- 【図5】 アクティブマトリクス型液晶表示装置の断面構造図を示す図。
- 【図6】 AM-LCDの作製工程を示す図。
- 【図7】 AM-LCDの作製工程を示す図。
- 【図8】 画素上面図及び断面図を示す図。
- 【図9】 AM-LCDの外観を示す上面図。
- 【図10】 液晶表示装置のブロック図を示す図。
- 【図11】 液晶表示装置のブロック図を示す図。
- 【図12】 EL表示装置の断面図を示す図。
- 【図13】 アクティブマトリクス型EL表示装置の構成を示す上面図及び断面図。
- 【図14】 EL表示装置の画素上面図を示す図。
- 【図15】 EL表示装置のブロック図を示す図。
- 【図16】 EL表示装置の断面図を示す図。
- 【図17】 製造装置の一例を示す図。
- 【図18】 製造装置の一例を示す図。

- 【図 1 9】 本発明の結晶化方法を示す図。
- 【図 2 0】 本発明の結晶化方法を示す図。
- 【図 2 1】 本発明の結晶化方法を示す図。
- 【図 2 2】 本発明の結晶化方法を示す図。
- 【図 2 3】 本発明の結晶化方法を示す図。
- 【図 2 4】 アクティブマトリクス基板の断面構造図を示す図。
- 【図 2 5】 本発明の結晶化方法を示す図。
- 【図 2 6】 電子機器の一例を示す図。
- 【図 2 7】 電子機器の一例を示す図。
- 【図 2 8】 電子機器の一例を示す図。

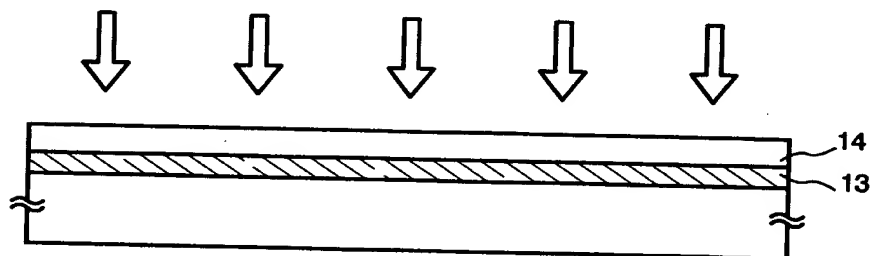
【書類名】 図面

【図 1】

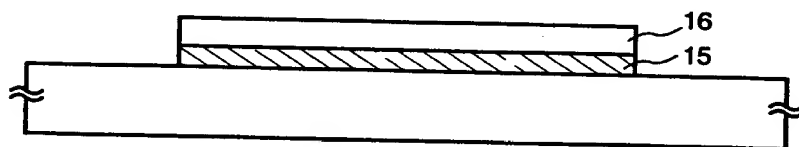
(A) 第 1 の非晶質半導体膜 11、および第 2 の非晶質半導体膜 12 の形成



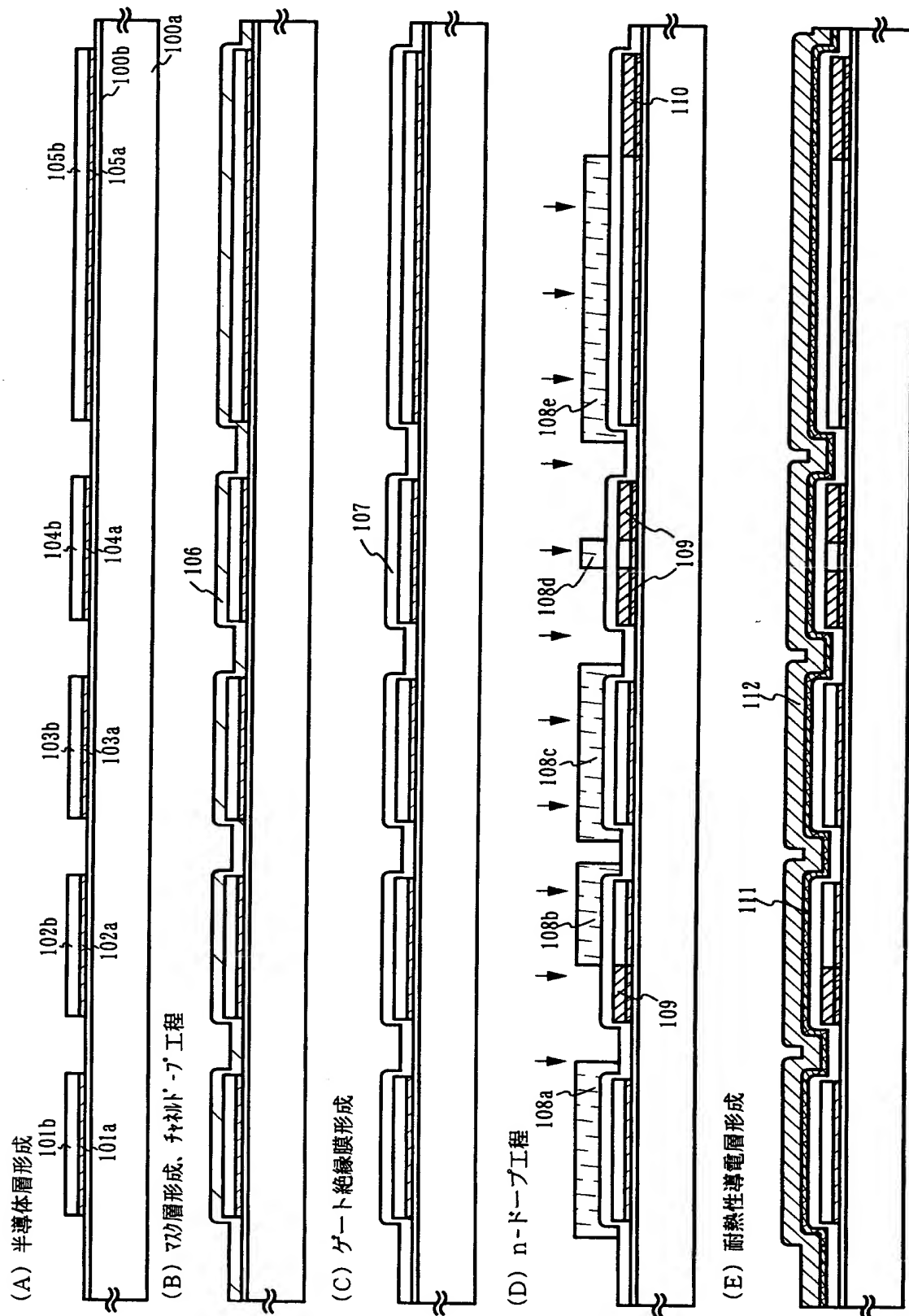
(B) レーザー光の照射による第 1 の結晶質半導体膜 13、および第 2 の結晶質半導体膜 14 の形成



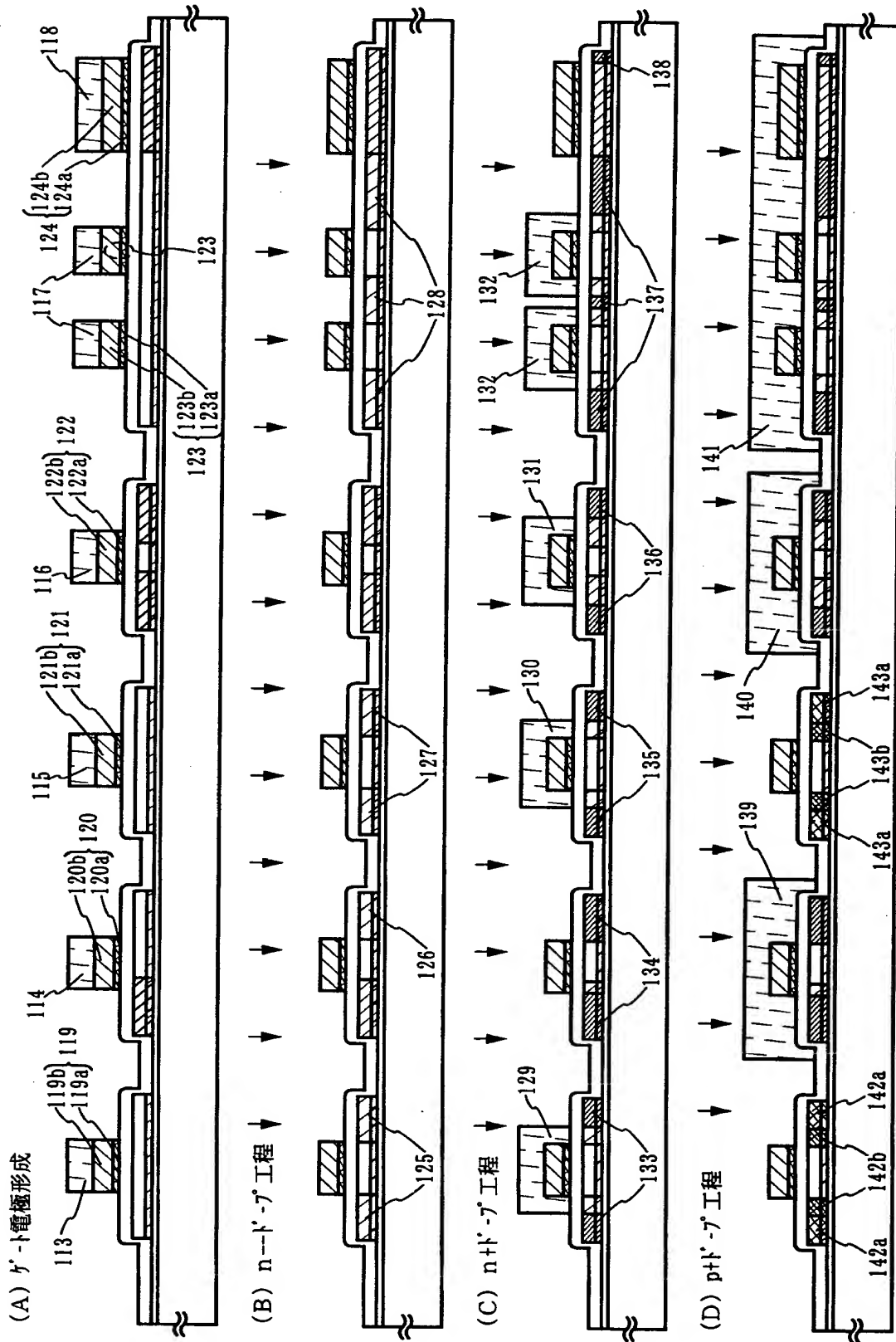
(C) 半導体層の形成



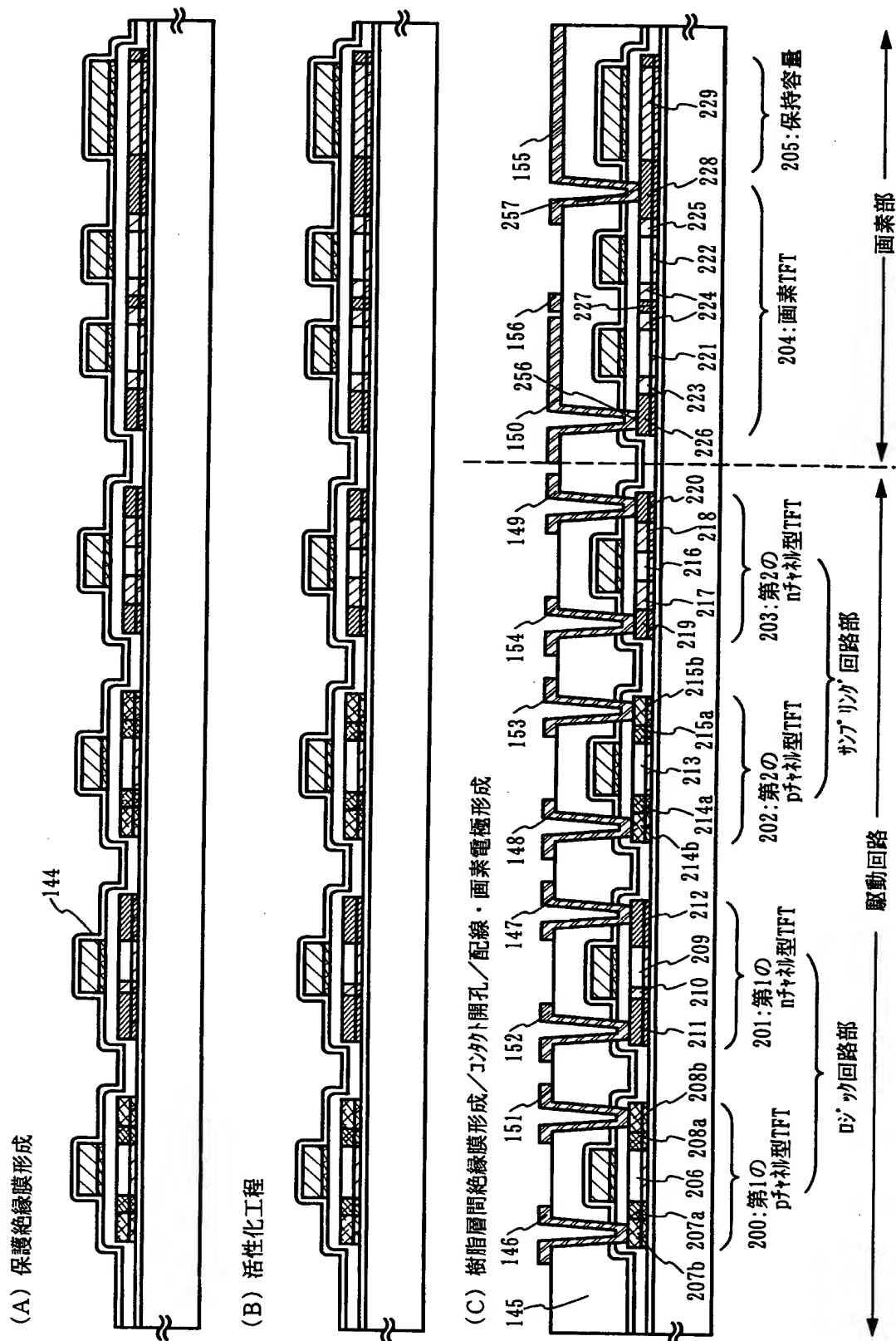
【図 2】



【図 3】

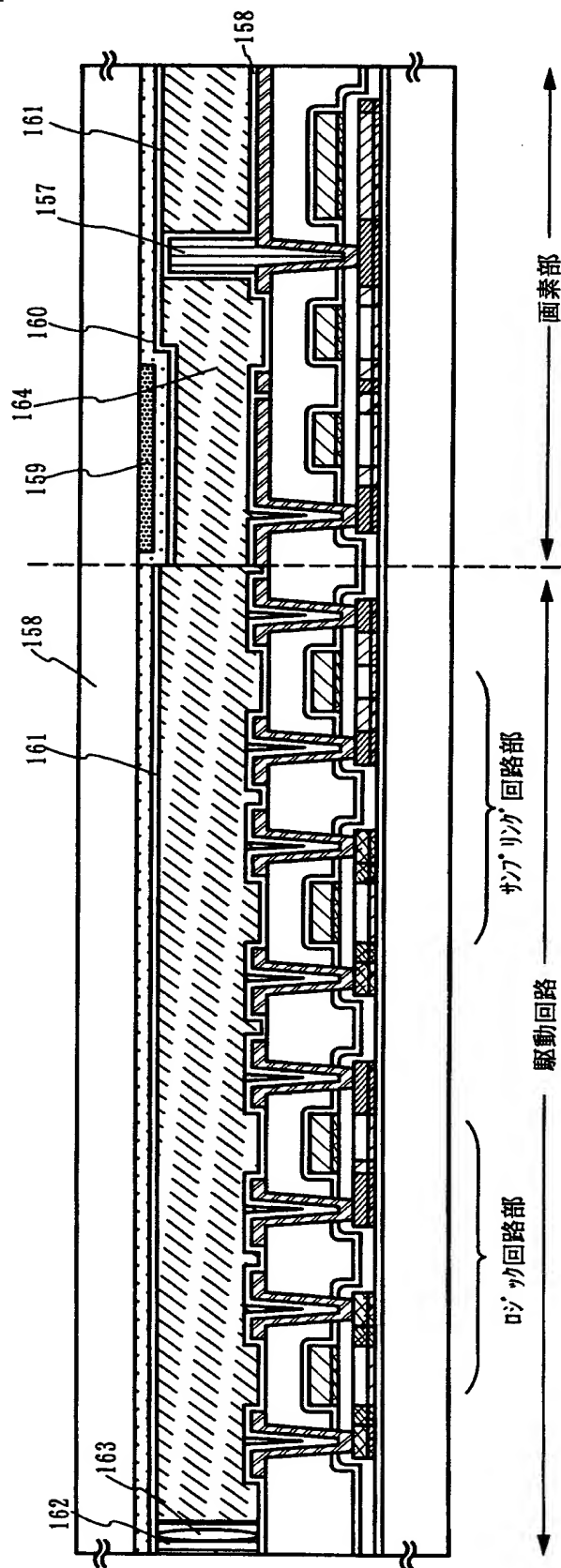


【図4】

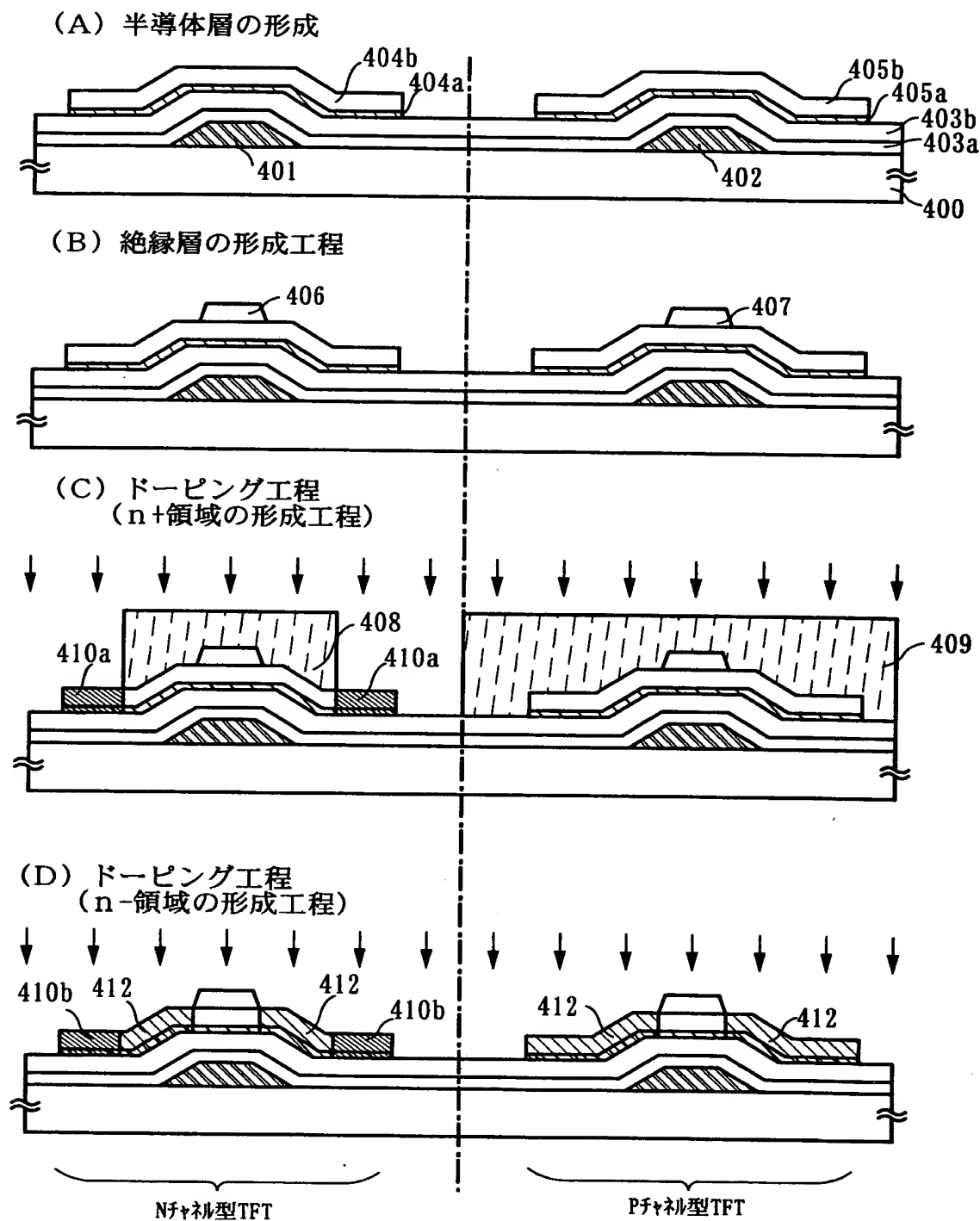


特 2 0 0 0 - 1 9 3 5 2 3

【図 5】

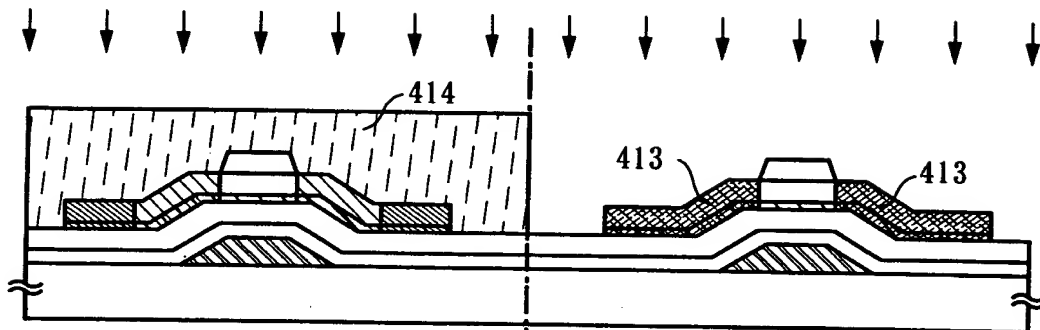


【図 6】

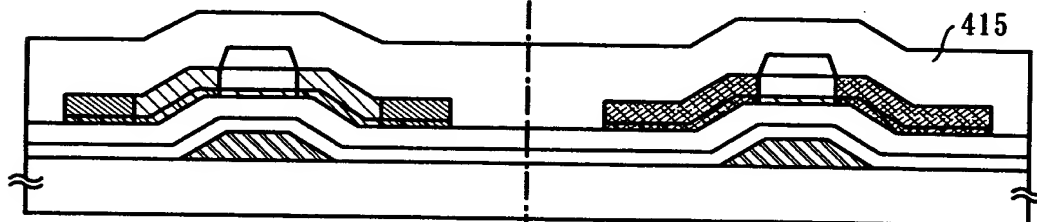


【図 7】

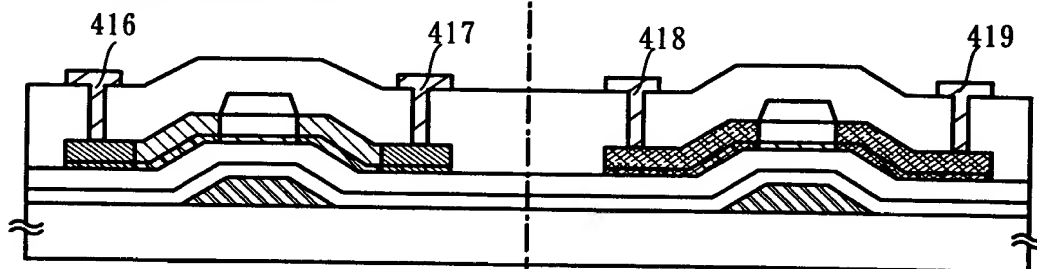
(A) ドーピング工程 (p+領域の形成工程)



(B) 層間絶縁膜の形成工程



(C) 配線の形成工程

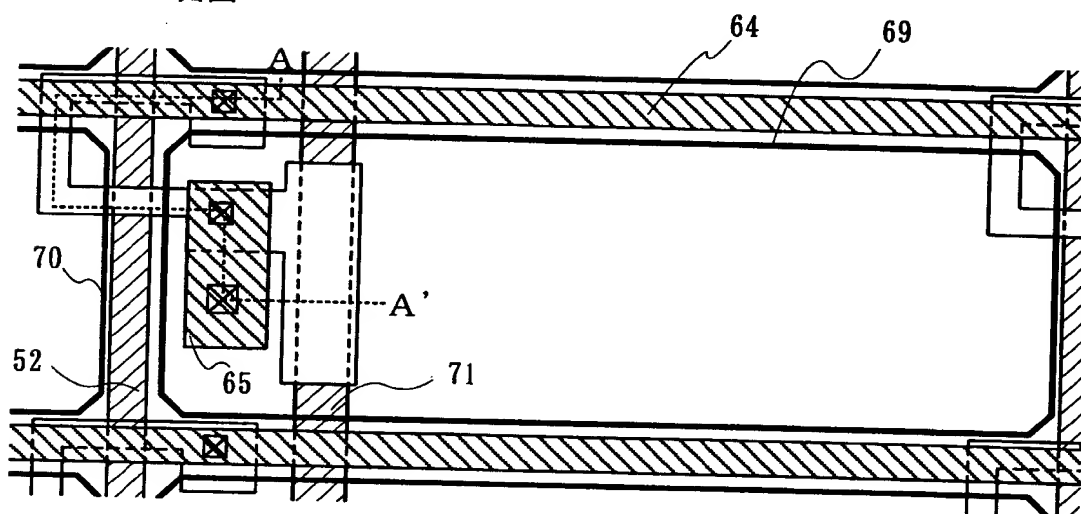


Nチャネル型TFT

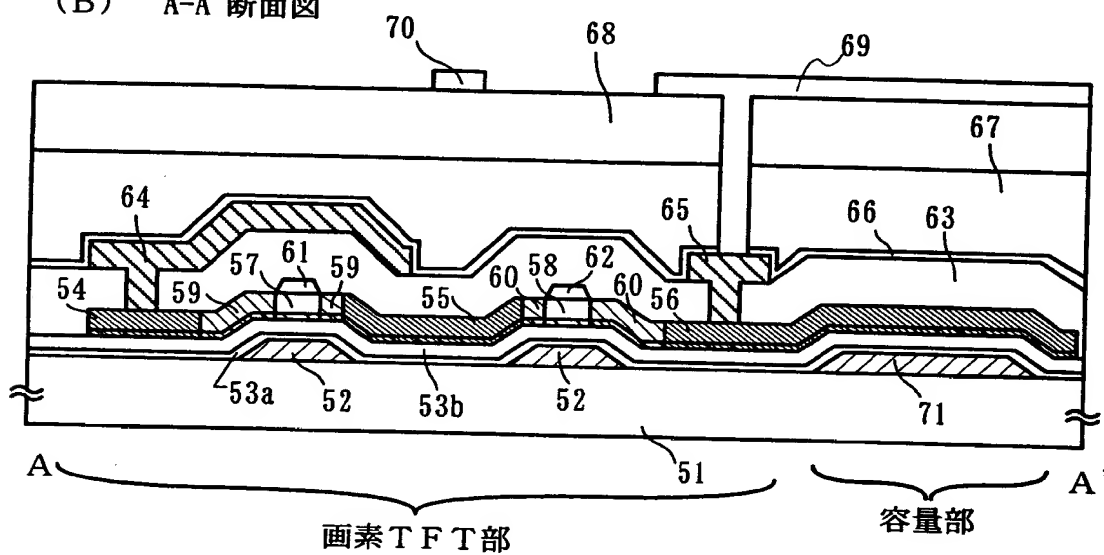
Pチャネル型TFT

【図 8】

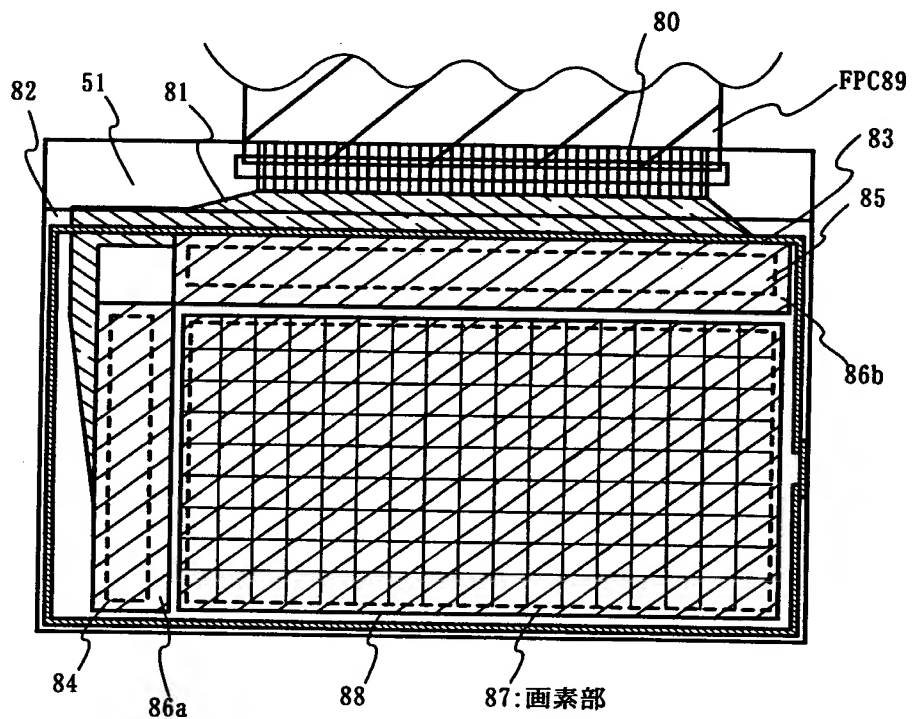
(A) 上面図



(B) A-A' 断面图

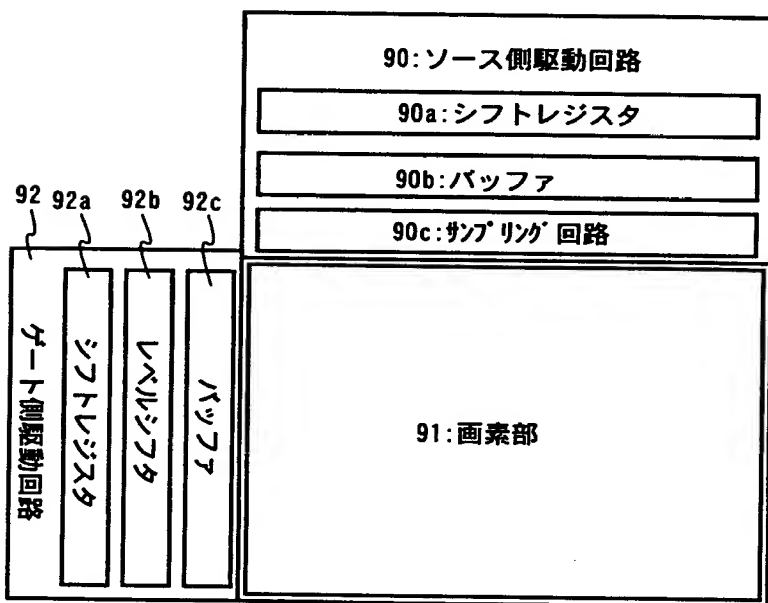


【図 9】

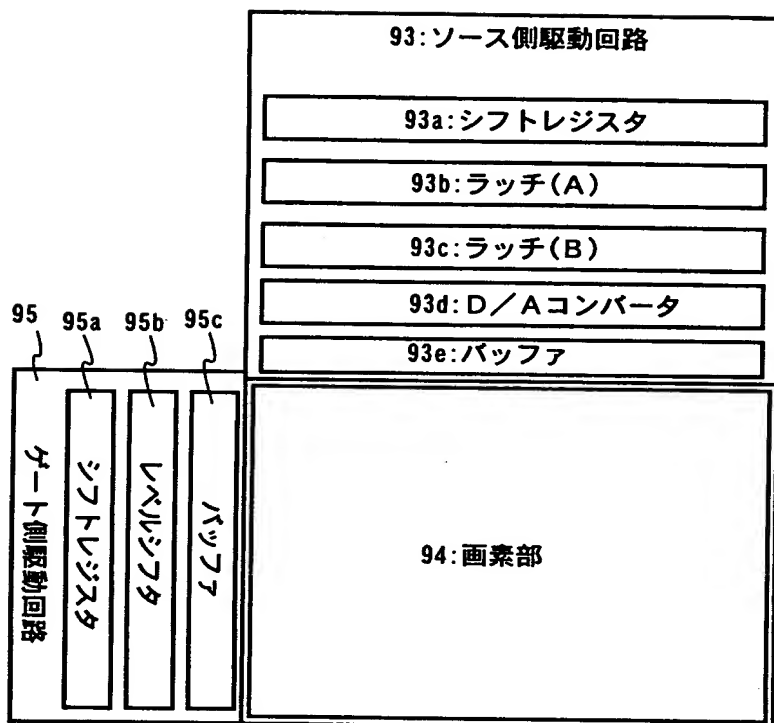


上面図

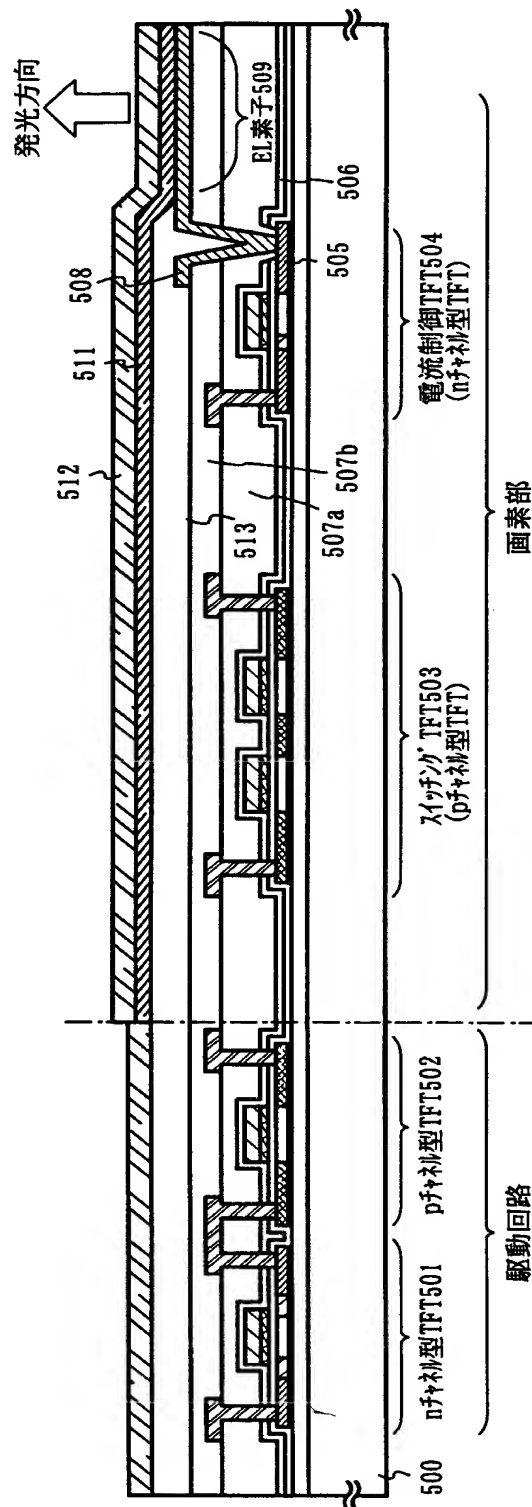
【図 10】



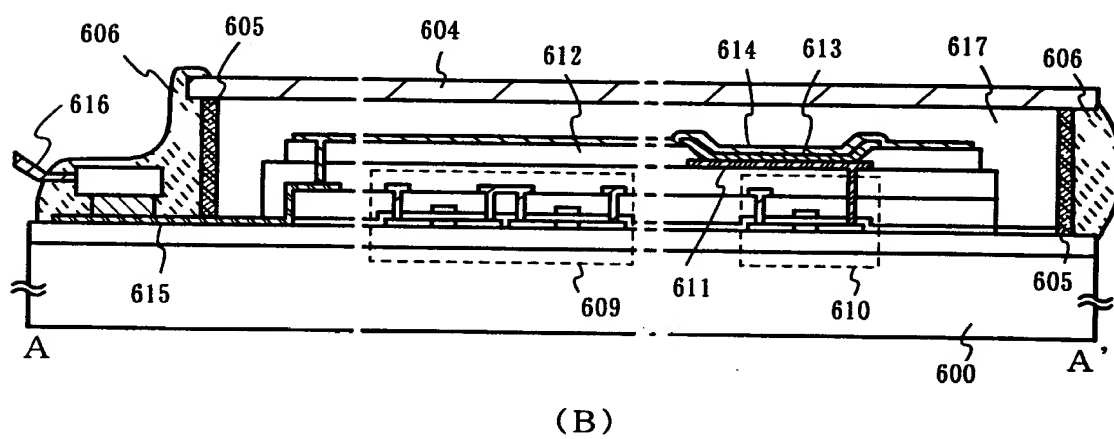
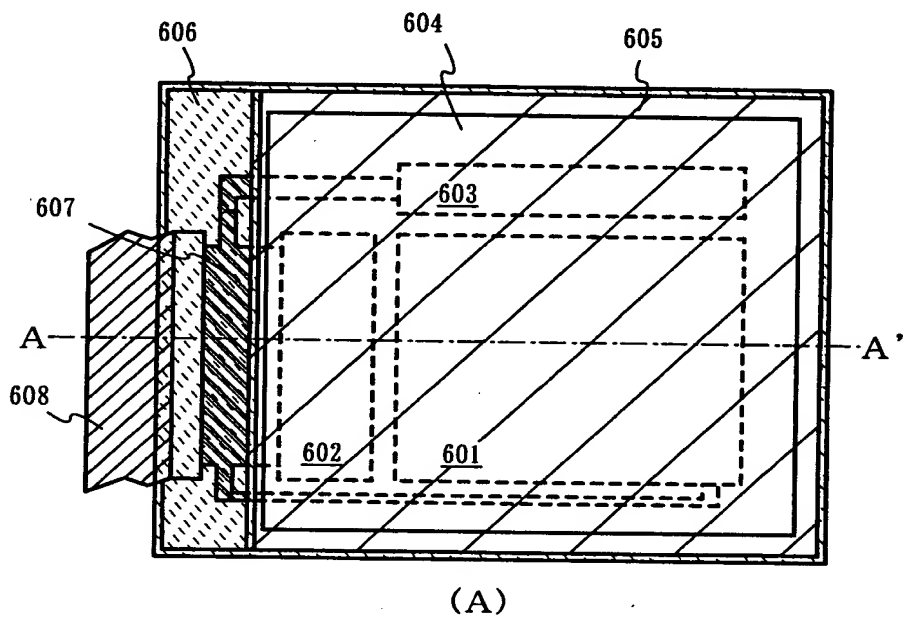
【図 11】



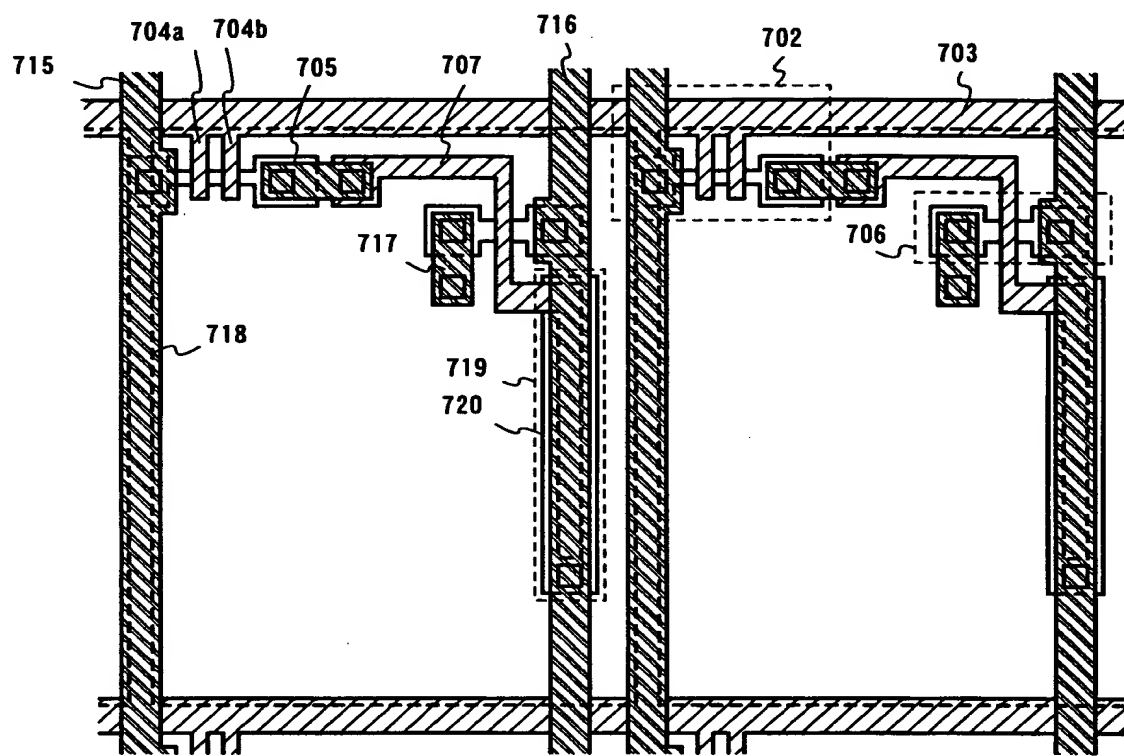
【図 12】



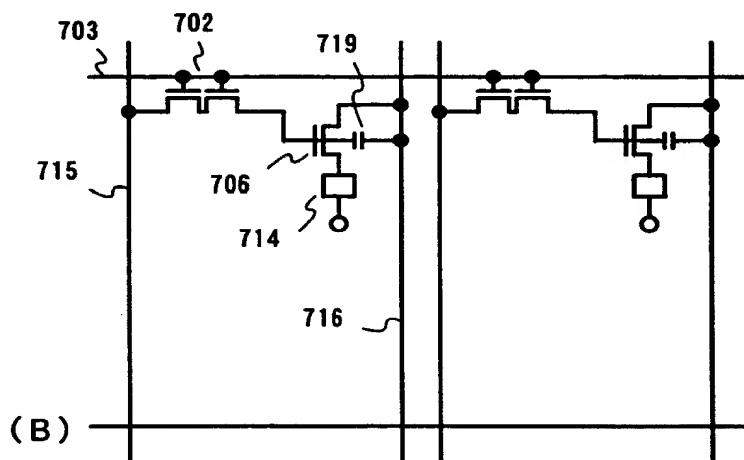
【図13】



【図 14】

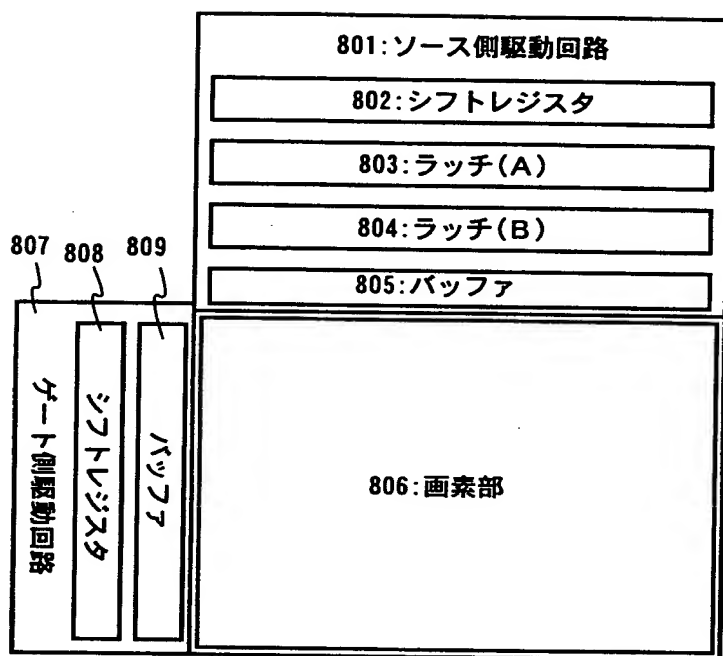


(A)

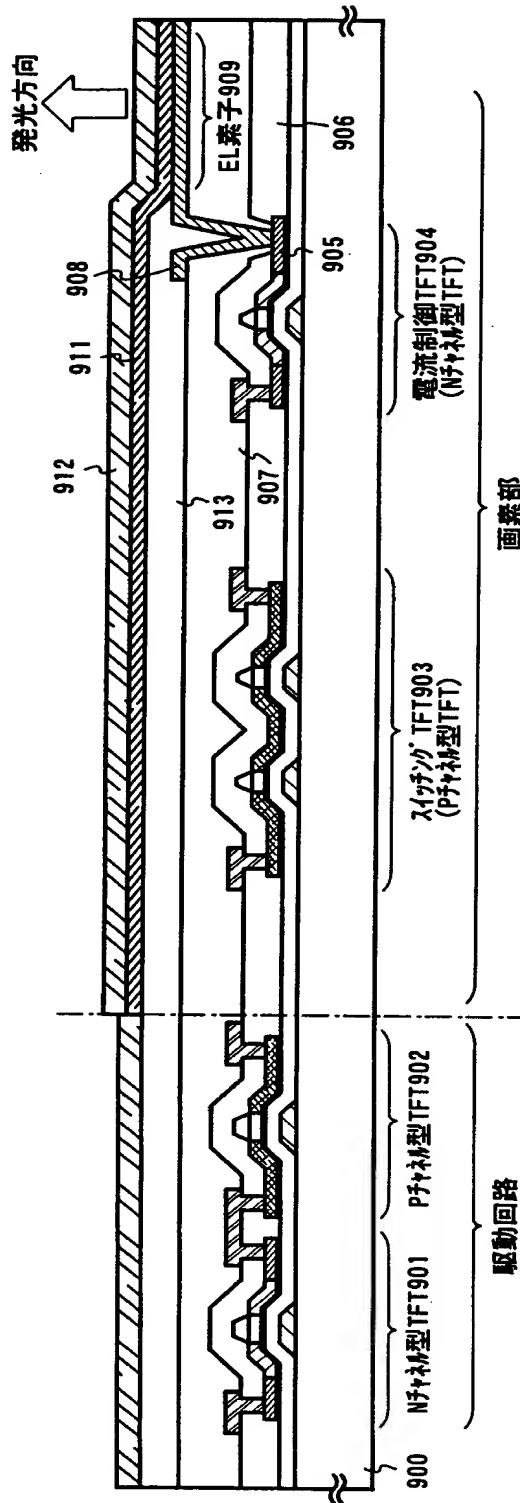


(B)

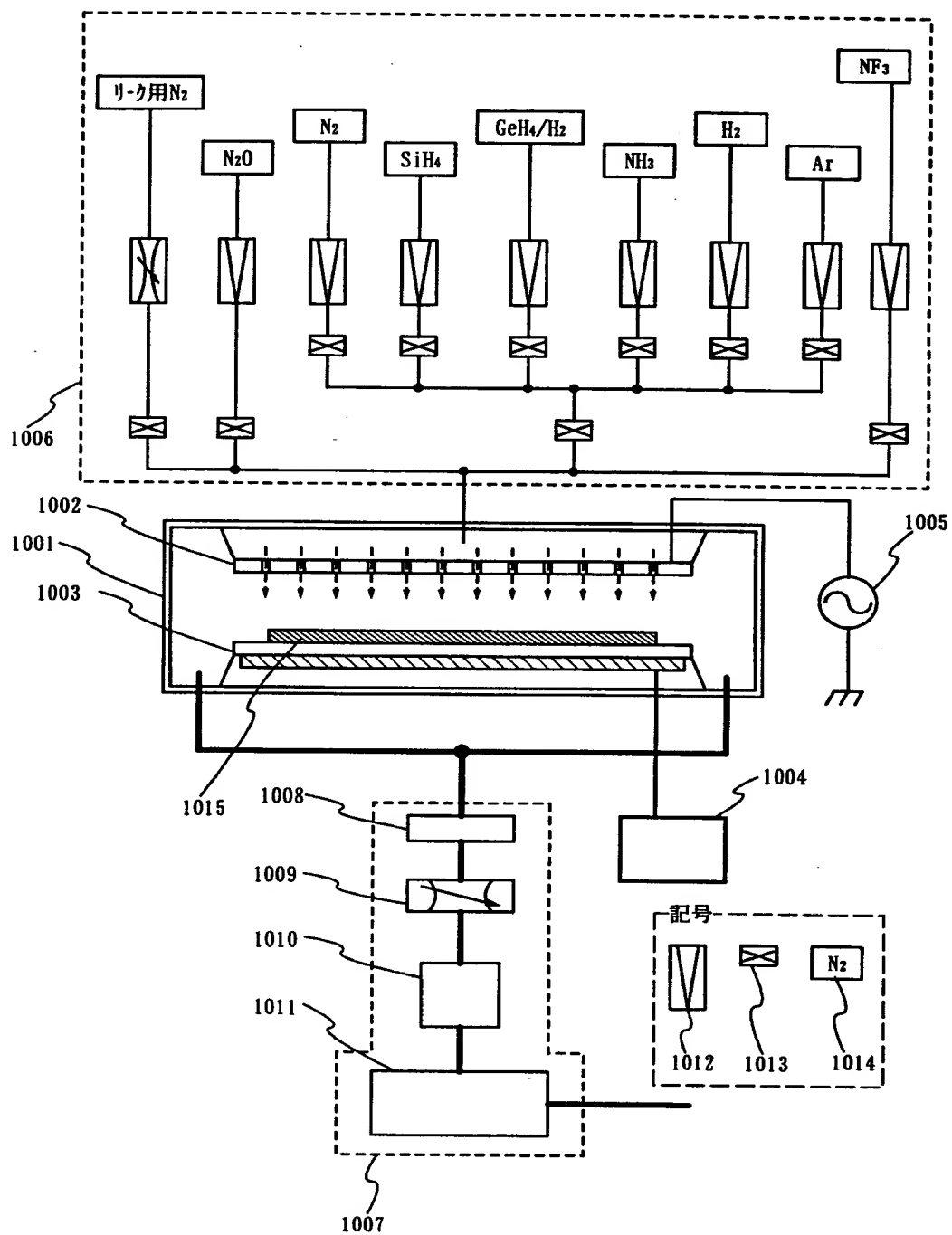
【図 15】



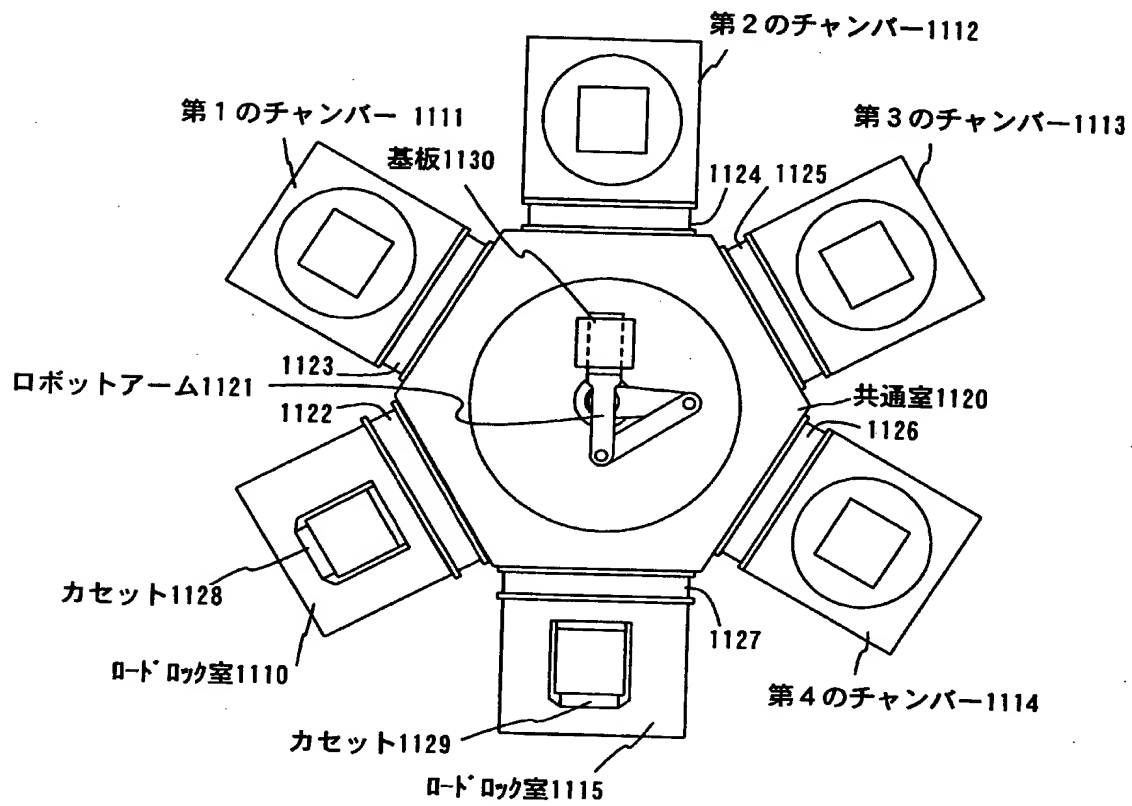
【図 1 6】



【図 1 7】

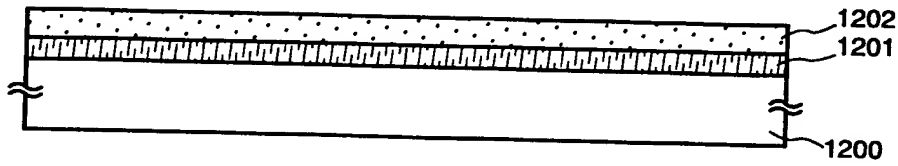


【図18】

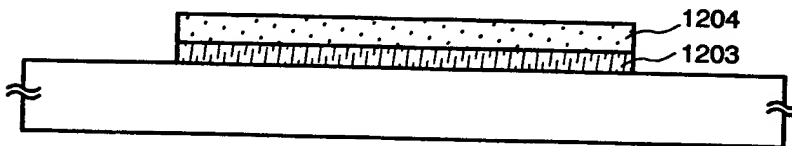


【図 1 9】

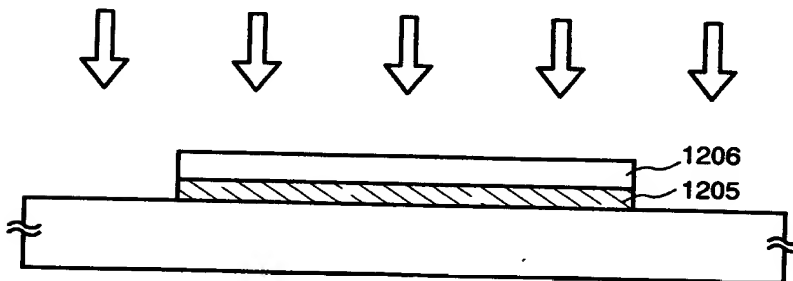
(A) 第 1 の非晶質半導体膜1201、および第 2 の非晶質半導体膜1202の形成



(B) 半導体層のバターニング形成

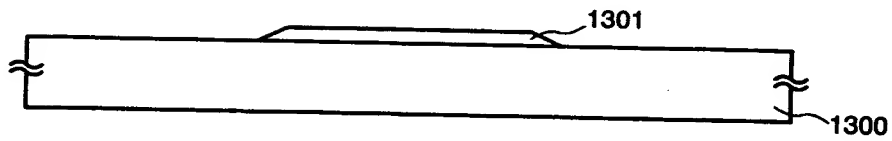


(C) レーザー光の照射による第 1 の結晶質半導体層1205、および第 2 の結晶質半導体層1206の形成

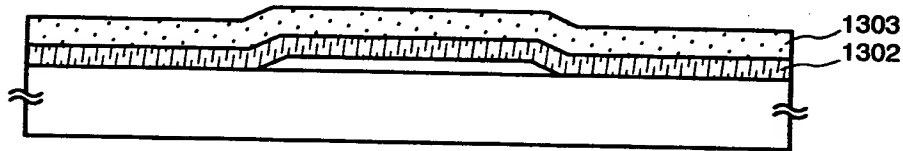


【図 2 0】

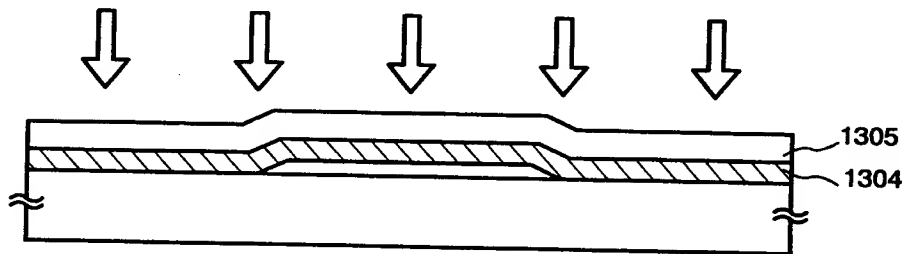
(A) 絶縁層1301の形成



(A) 第1の非晶質半導体膜1302、および第2の非晶質半導体膜1303の形成

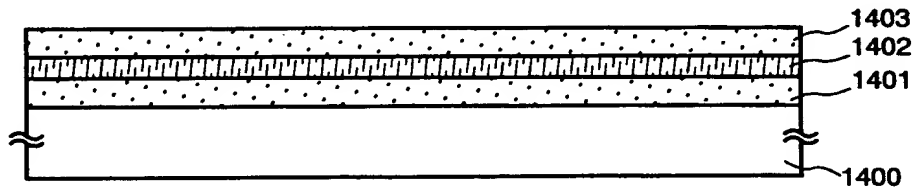


(B) レーザー光の照射による第1の結晶質半導体膜1304、および第2の結晶質半導体膜1305の形成

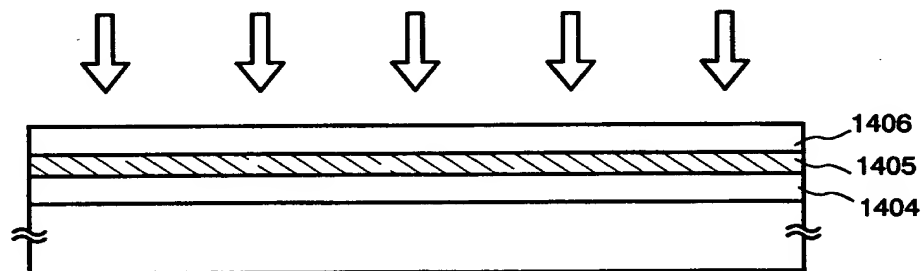


【図 2 1】

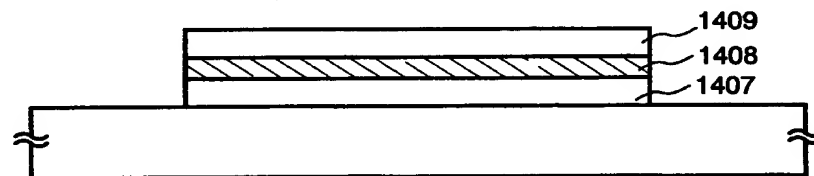
- (A) 第 1 の非晶質半導体膜1401、第 2 の非晶質半導体膜1402、および第 3 の非晶質半導体膜1403の形成



- (B) レーザー光の照射による第 1 の結晶質半導体膜1404、および第 2 の結晶質半導体膜1405、および第 3 の結晶質半導体膜1406の形成

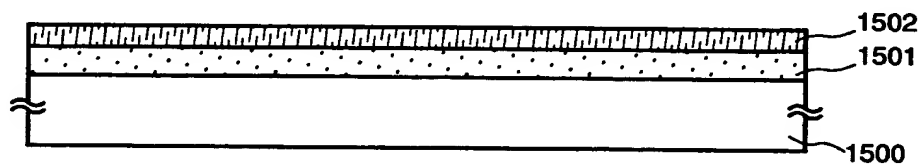


- (C) 半導体層の形成

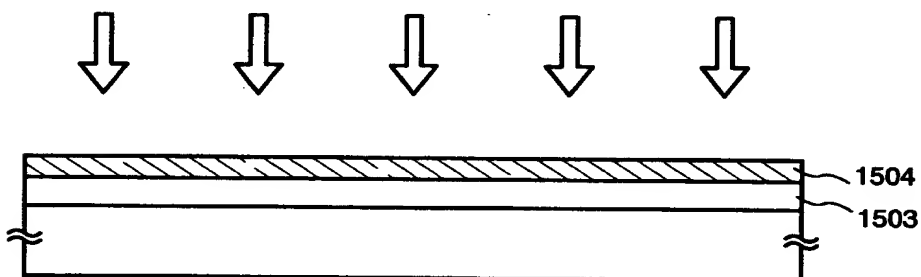


【図 2 2】

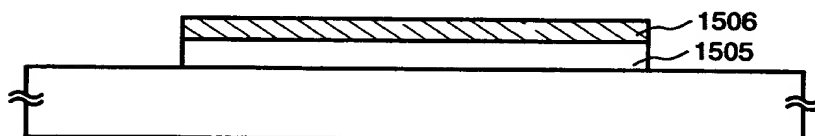
(A) 第 1 の非晶質半導体膜 1501、および第 2 の非晶質半導体膜 1502 の形成



(B) レーザー光の照射による第 1 の結晶質半導体膜 1503、および第 2 の結晶質半導体膜 1504 の形成

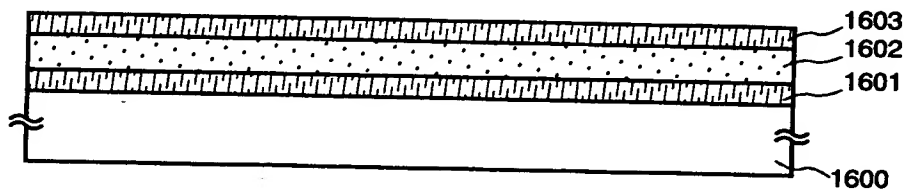


(C) 半導体層の形成

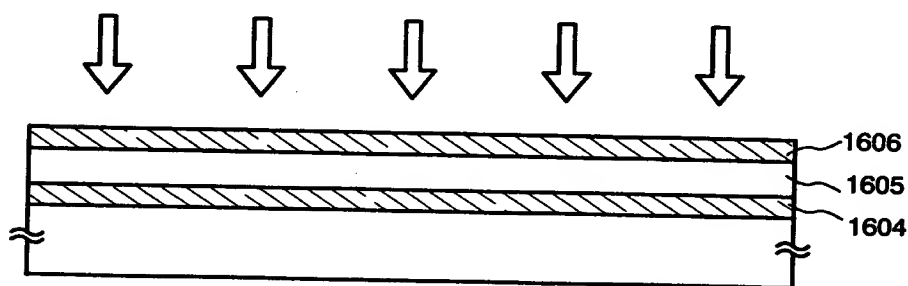


【図 2 3】

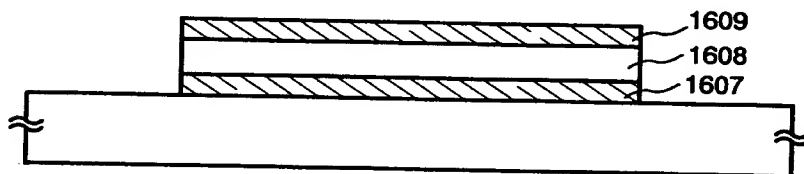
- (A) 第 1 の非晶質半導体膜 1601、第 2 の非晶質半導体膜 1602、および第 3 の非晶質半導体膜 1603 の形成



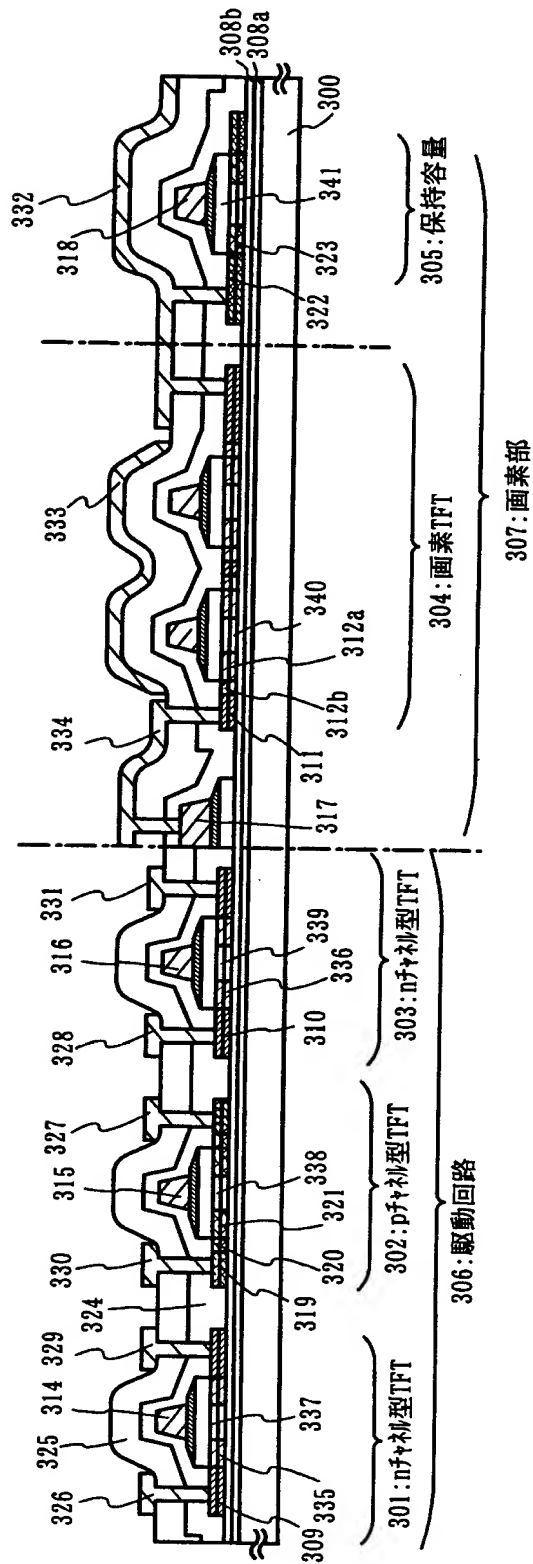
- (B) レーザー光の照射による第 1 の結晶質半導体膜 1604、および第 2 の結晶質半導体膜 1605、および第 3 の結晶質半導体膜 1606 の形成



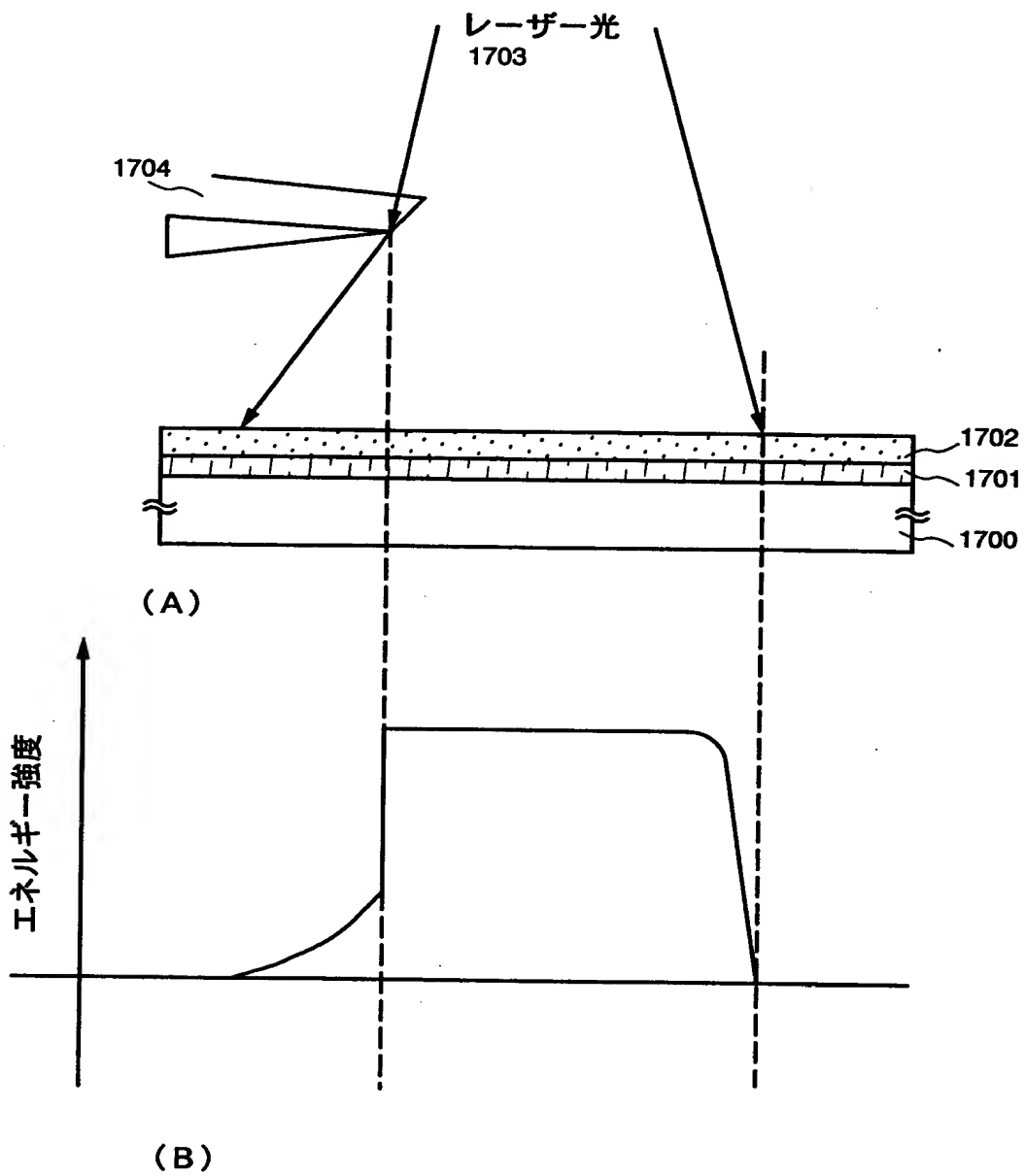
- (C) 半導体層の形成



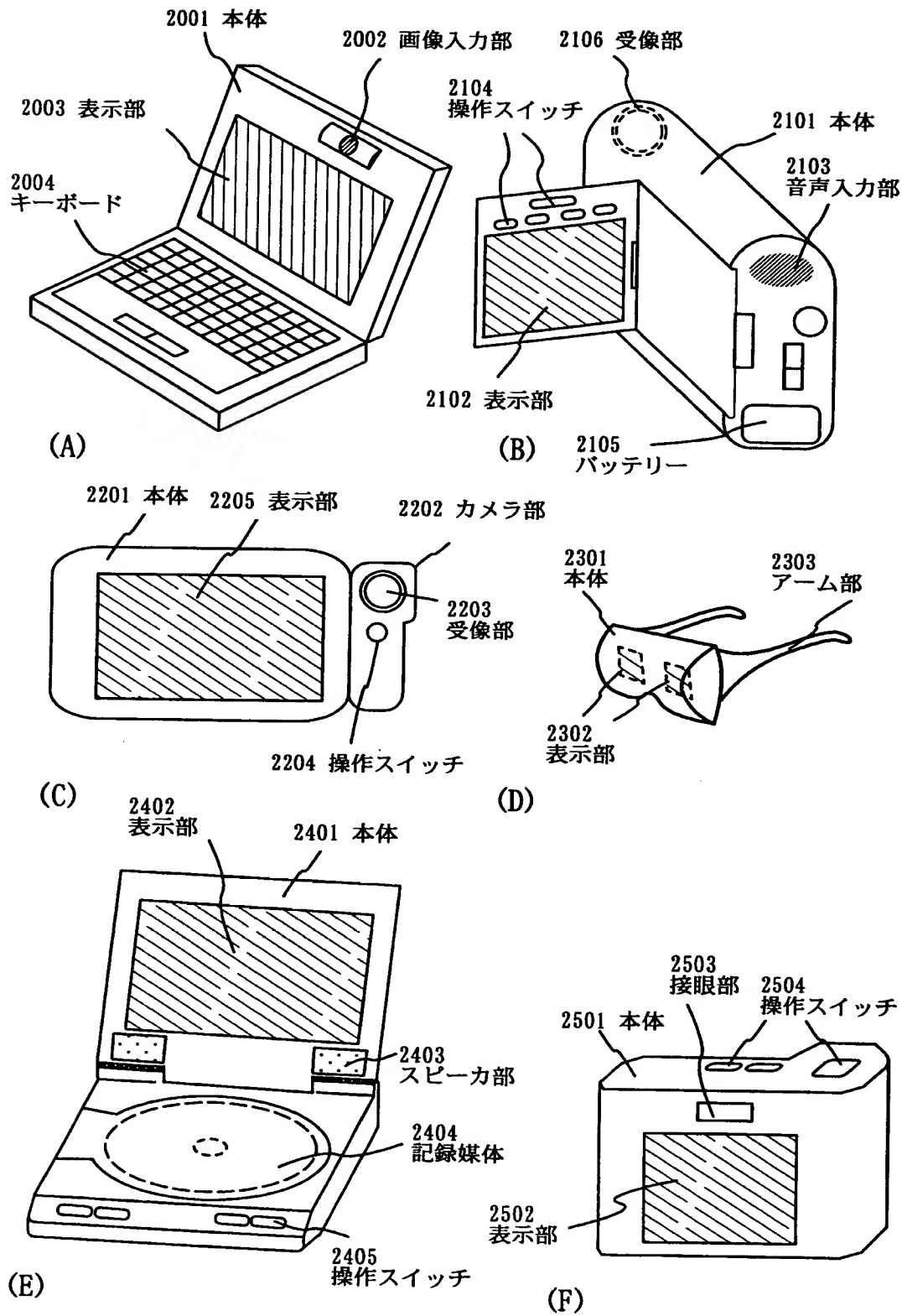
【図 2 4】



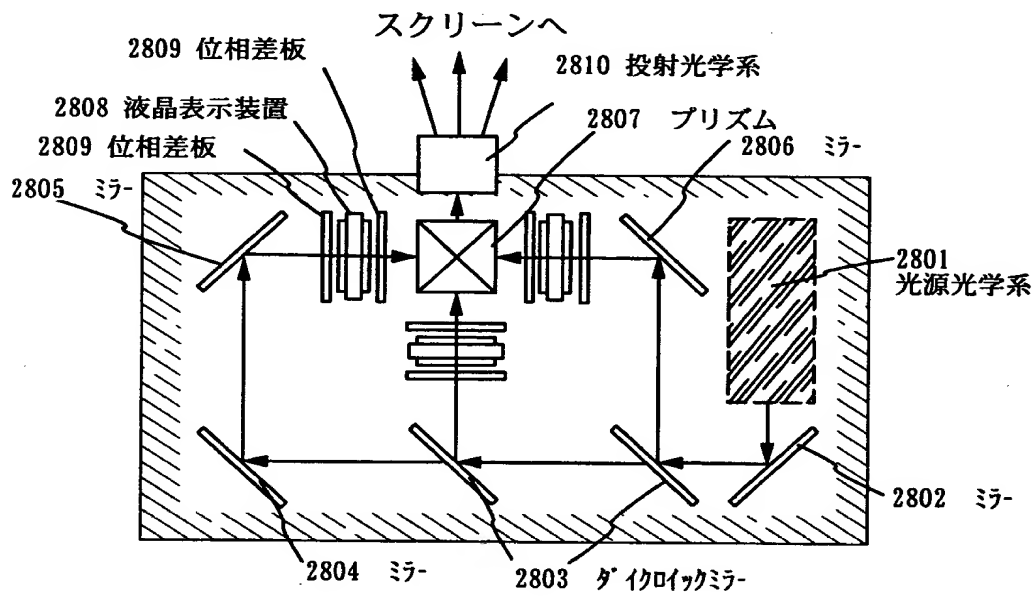
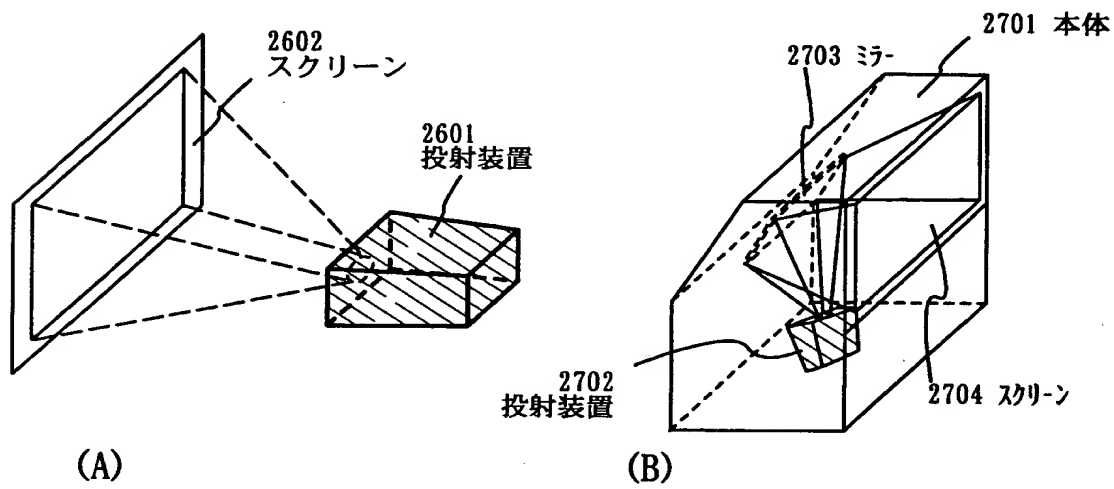
【図 2 5】



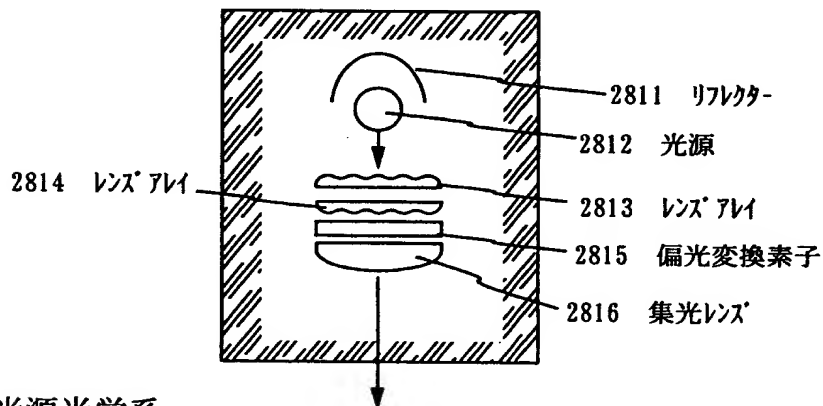
【図 2 6】



【図 2 7】

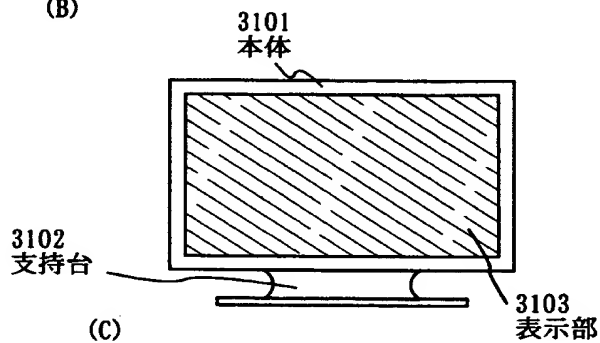
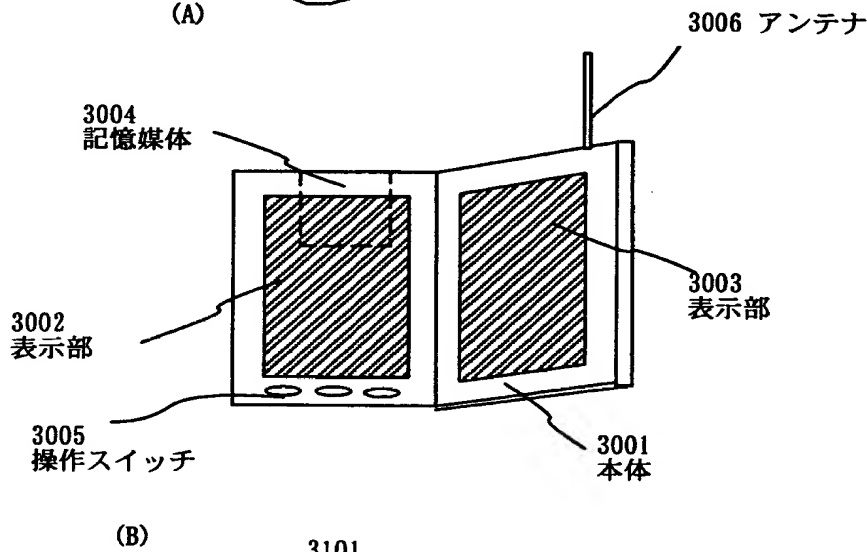
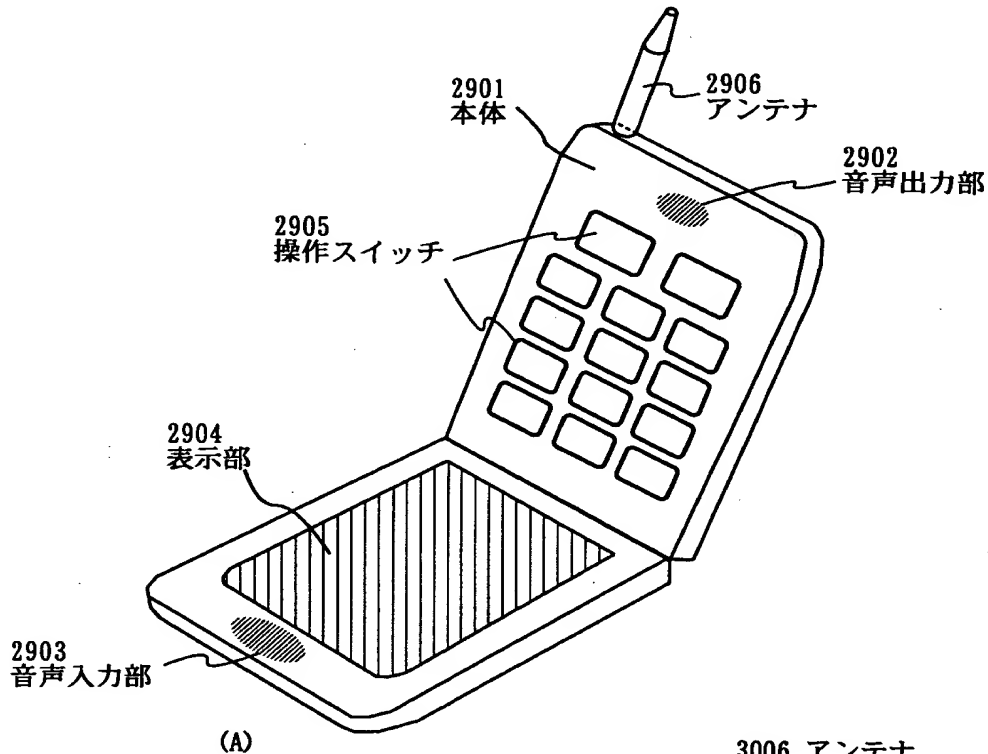


(C) 投射装置 (三板式)



(D) 光源光学系

【図 2 8】



【書類名】 要約書

【要約】

【課題】 従来の方法で作製される結晶質シリコン膜は、その結晶方位面がランダムに存在し、特定の結晶方位に対する配向率が低かった。

【解決手段】 シリコンを主成分とし、ゲルマニウムを0.1～10原子%含有する半導体材料を第1層目、非晶質シリコン膜を第2層目に用い、レーザー光を照射して非晶質半導体膜の結晶化を行うことで、良好な半導体膜が得られ、その半導体膜を利用してTFTを作製する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所